

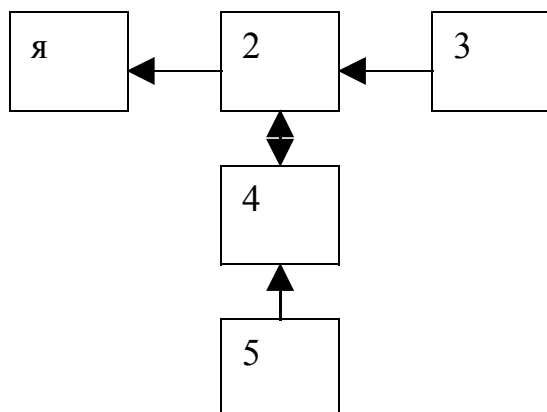
КАМСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Кафедра Автоматизация и Информационные Технологии

Курс лекций по дисциплине «Схемотехника»

Под ред. Звездина В.В.

Структурная схема цифровой вычислительной машины



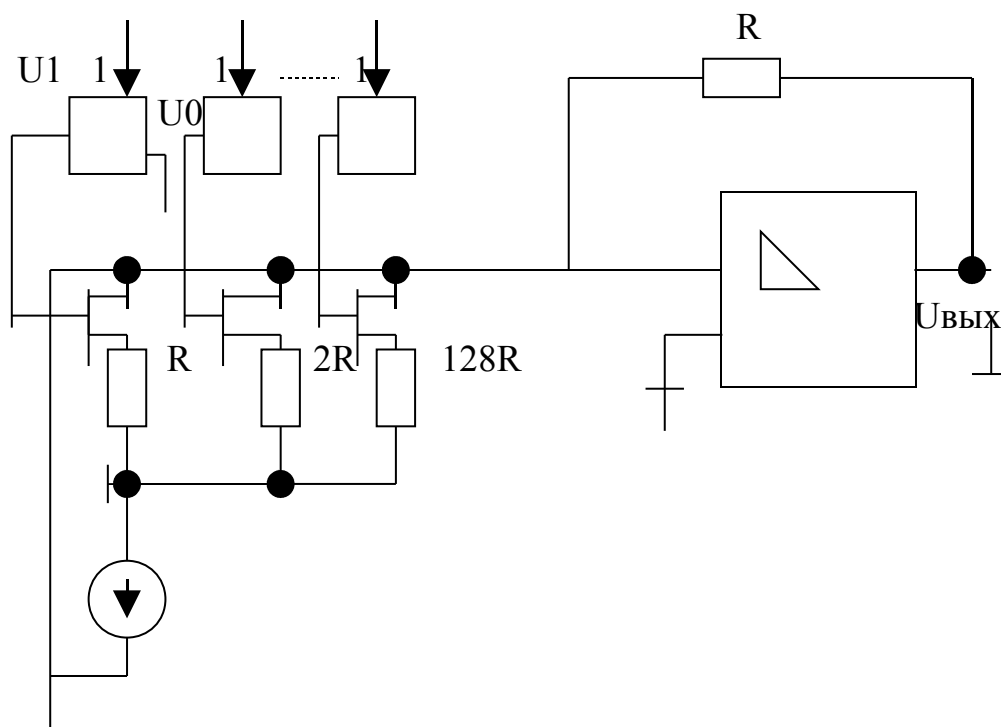
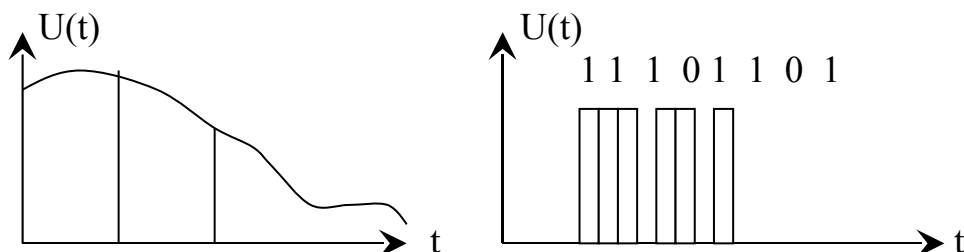
1. Устройство отображения информации
2. Запоминающее устройство, для хранения информации и команд, представляет собой совокупность ОЗУ и ПЗУ. ПЗУ хранит команды и константы. ОЗУ текущую информацию.
3. АЛУ – арифметико-логическое устройство, совокупность комбинационных последовательных схем и предназначено для выполнения логических и арифметических операций.
4. Устройство управления осуществляет коммутацию направления информационных потоков и команд.
5. Пульт управления – осуществляет связь оператора с ЭВМ.

Достоинство: Высокая точность вычислений, зависящая от разрядности АЛУ, которая определяется разрядностью процессора, с внешними устройствами АЛУ соединяется тремя шинами. ШД – шина данных определяет разрядность процессора, является двунаправленной, т.к. информация по ШД идет в двух направлениях. ША – шина адреса однонаправленная, по ней процессор расставляет адреса в память из которой будет либо взята информация, либо записана. ШУ – шина управления – по ней поступают управляющие сигналы на процессор.

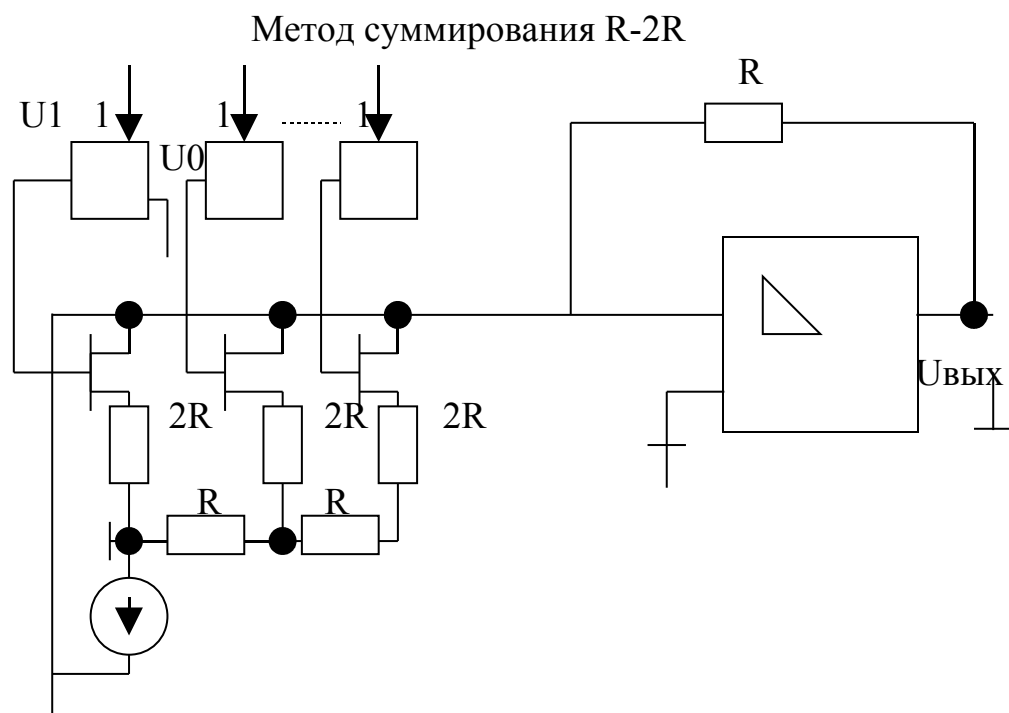
Недостаток: большое время вычисления.

Аналого- цифровые преобразователи

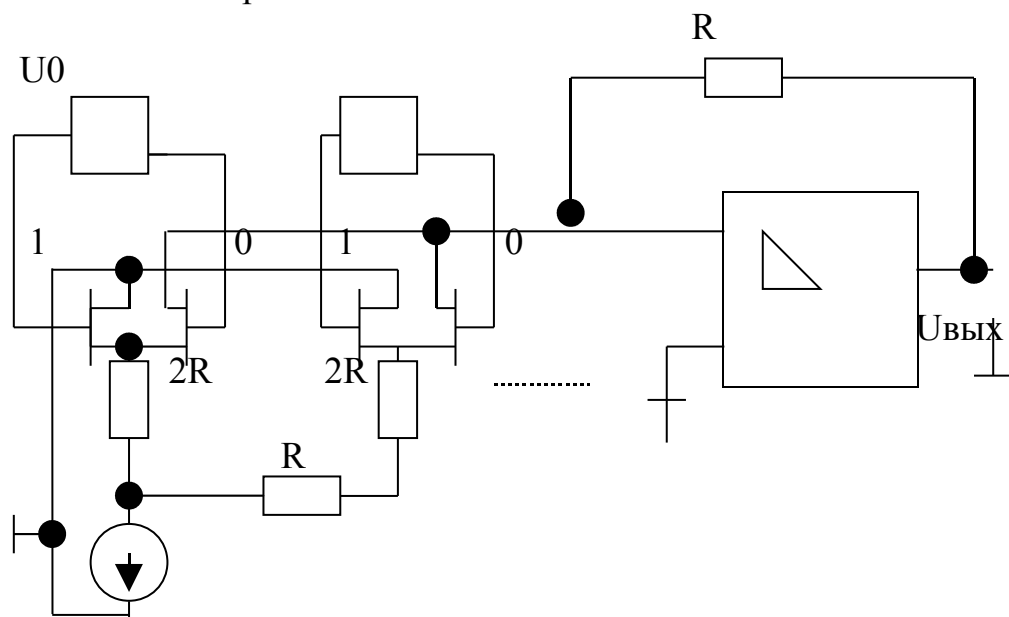
ЦАП – цифро-аналоговый преобразователь – устройство преобразующее цифровой код в аналоговый сигнал, принцип работы которого состоит в суммировании аналоговых сигналов пропорциональных весам входного цифрового кода, коэффициенты 0 и 1 в зависимости от значения соответствующего разряда цифрового кода.



Недостаток: большой разброс значений сопротивлений, что приводит к усложнению технологии выполнения ЦАП в интегральном исполнении, повышение стоимости и увеличении погрешности.



Применение схем R-2R исключает недостатки предыдущей схемы, однако колебания тока от источника напряжения за счет отклонения соответствующих резисторов разрядов с нулевым значением приводит к увеличению погрешности поэтому применяют схему с постоянным током потребления стабилизированным источником питания.



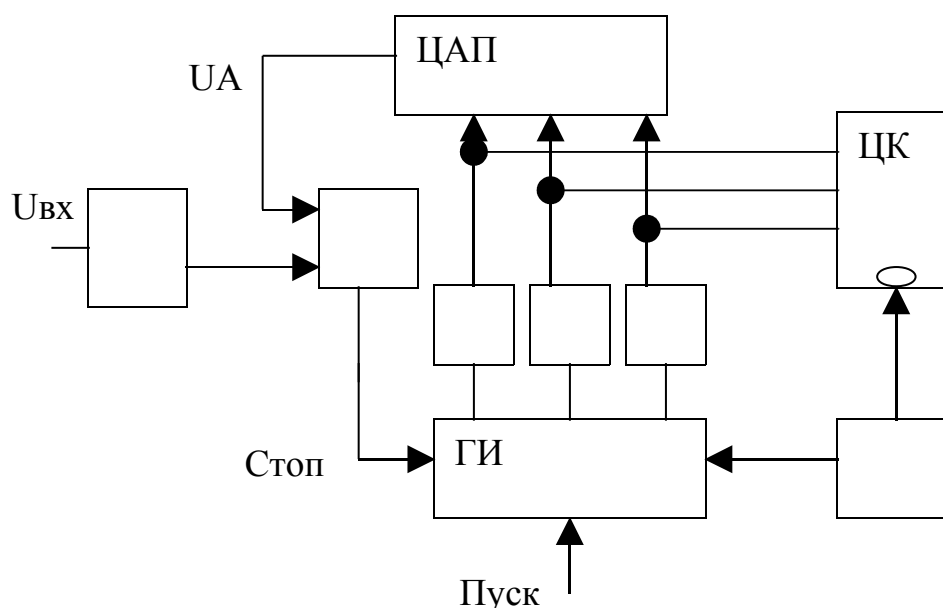
В данной схеме потребляемый ток от источника напряжения – постоянный и не зависит от кодовой комбинации цифрового сигнала. АЦП – преобразует аналоговый сигнал в цифровой код, их различают по способам преобразования:

1. последовательного приближения
2. параллельного типа
3. последовательно параллельного типа
4. конвейерного типа

5. АЦП с двойным интегрированием

6. следящего типа

Основное звено АЦП – есть ЦАП



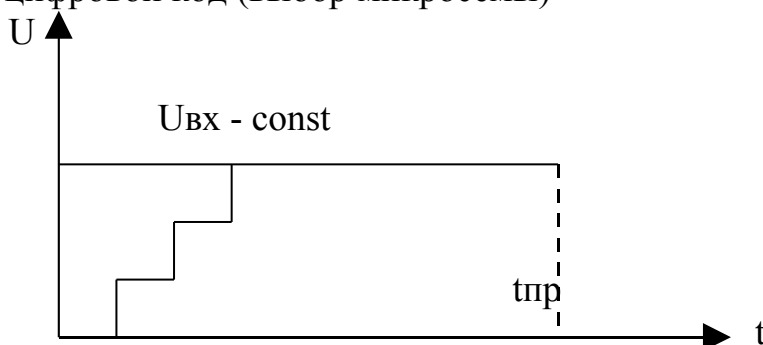
ВУ – входное устройство содержит схему выборки и хранения входного аналогового сигнала

Кп – компаратор служит для сравнения аналоговых сигналов ЦАП и входного

ГИ - генератор импульсов выдает последовательность импульсов на триггеры

Т – триггер

ЦК – цифровой код (выбор микросемы)



Со схемы управления поступает команда на запуск генератора прямоугольных импульсов которые в параллельном коде подаются через соответствующие триггеры на ЦАП, на входе ЦАП аналоговое напряжение больше ступенчатого причем величина ступени (шаг дискретизации) определяет точность АЦП при достижении на входах компаратора равенства двух напряжений Кп выдает единичный сигнал на соответствующий вход ГИ останавливая его тем самым на выходе Т, фиксируется цифровой код затем на соответствующий вход регистров (выбор микросхемы) подается команда на запись и цифровой код передается на выход регистра.

Цифровые интегральные микросхемы (ЦИМС).

Вся технология изготовления ИМС делится на два класса:

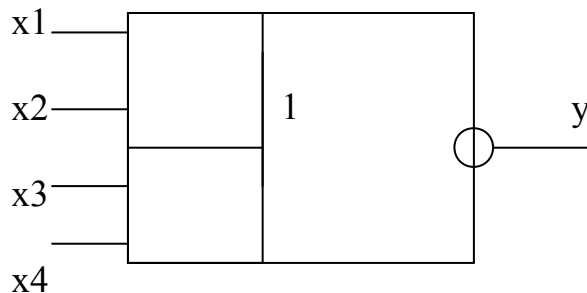
1. ИМС на биполярных структурах.
2. ИМС на КМОП структурах.

Рассмотрим каждый класс:

- 1) БТС включают в себя РТЛ (резисторно-транзисторную логику),

ДТЛ (диодно-транзисторную логику), ТТЛ(транзисторно-транзисторную логику), ЭСЛ (эмиттерно связанную логику), ИИЛ (интегрально-инжекционная логика), ТТЛШ (ТТЛ на диодах Шотки),

ЦИМС - предназначены для обработки, преобразования и хранения цифровой информации. Выпускаются сериями, внутри каждой группы имеются объединения по функциональному признаку групп устройств - логические элементы, триггеры, счетчики и т.д.



x1	0	1	0	0	0	1	0	0	1	1	0	1	1	1	1	0
x2	0	0	1	0	0	1	1	0	0	1	1	1	1	0	0	1
x3	0	0	0	1	0	0	1	1	0	1	1	1	0	1	1	0
x4	0	0	0	0	1	0	0	1	1	0	1	1	1	1	0	1
y	1	1	1	1	1	0	1	0	1	0	0	0	0	0	1	1

Обозначение ИМС.

а в с
К 155 ЛТ 1
1 2 3 4

1 - кремниевые

2 - серия

а: 1, 5, 7 п/п технология

2, 4, 6, 8 гибридная

3 пленочная

в, с: номер разработки серии

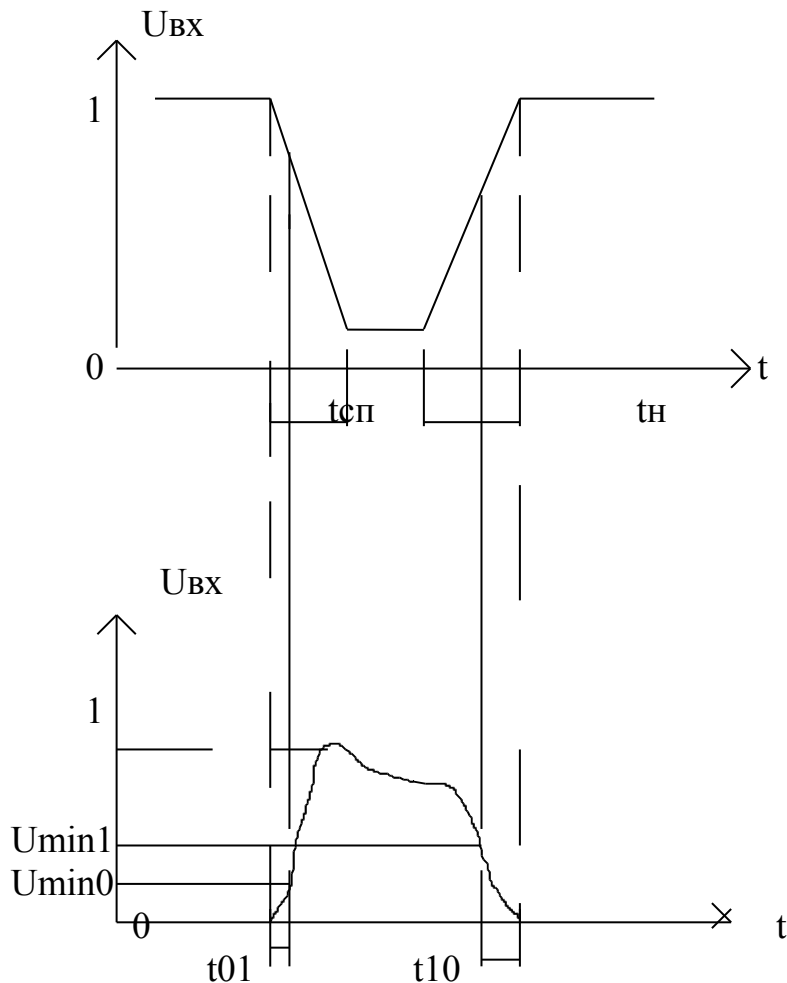
3 - подгруппа и вид ИМС в соответствии с ее функциональным назначением

4 - условный номер разработки ИМС в данной серии.

Основные параметры ИМС.

Они разделяются на статические и динамические.

1. Максимально допустимое значение нулевого уровня на выходе.



$t_{сп}$ - время

$t_{н}$ - нарастание переднего фронта

Зависит от сопротивления подводящих проводов

U_{max0} - для ТТЛ $< 0,4$ В.

2. Минимальное значение 1 на выходе

$U_{мин1}$, более 3.6 В для ТТЛ.

3. Коэффициент разветвления по выходу определяет нагрузочную способность, т.е. максимальное число ИМС подключаемых к одному выходу. Для ТТЛ 8-12.

4. Коэффициент объединения по входу

5. Потребляемая мощность

мощность меньше, быстродействие выше.

6. Параметры $U_{ст.пит}$ определяет максимально допустимое отклонение питающего напряжения ИМС для сохранения ее работоспособности.

7. Динамические параметры

- 1) время задержки
 $t_{cp} = (t_{01} + t_{10}) / 2$

Среднее

t_{01} - время задержки включения
 t_{10} - время задержки выключения

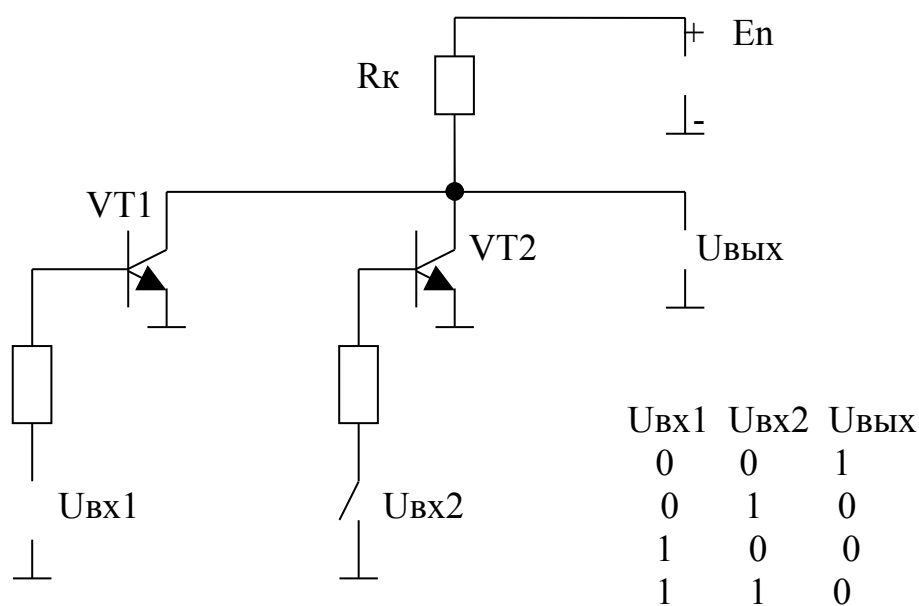
- 2) частота работы элементов. Определяется технологией и временем задержки выходного сигнала.
- 3) энергия для переключения элементов.

Предельная

Энергия для

Схмотехнические реализации логических элементов.

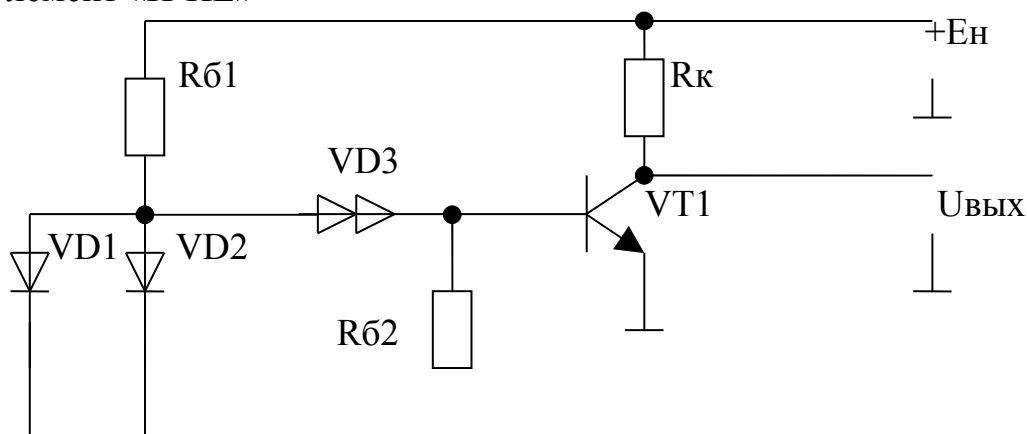
Схема «ИЛИ-НЕ» на резисторно-транзисторной логике.

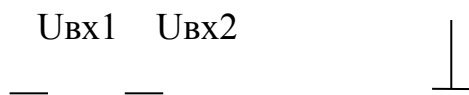


Операция ИЛИ организована за счет параллельного подключения транзисторов VT1, VT2 сопротивление компенсационное R_k является общим, поэтому при подаче высокого напряжения на один из входов соответствующий транзистор откроется и тем самым закоротит R_k на землю, $U_{вых} = 0$. Инверсия осуществляется в схеме за счет транзистора. Недостатком РТЛ является низкая нагрузочная способность.

Диодно-транзисторная логика

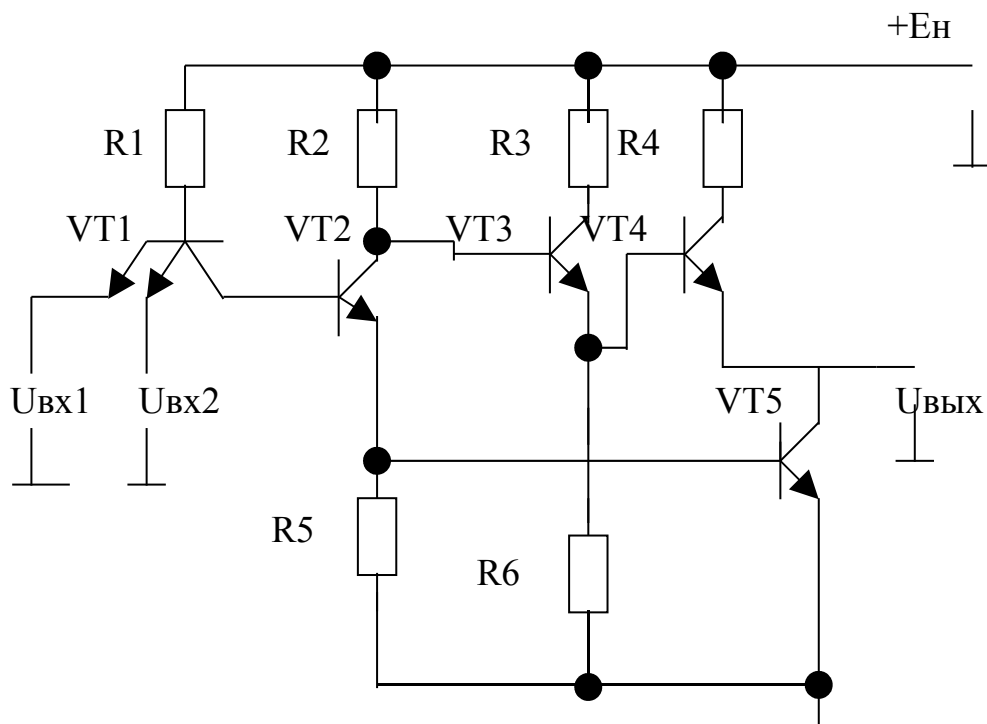
Элемент «И-НЕ»





Ток через базу транзистора потечет только в том случае если на оба входа подано напряжение высокого уровня, в этом случае VD1, VD2 - закрыты и через R61, VD3 и R62 протекает ток создающий на R62 падение напряжения, достаточное для открывания транзистора. Оно приблизительно 0,6 В. Сдвоенный диод применяют для повышения помехозащищенности логического элемента. В открытом состоянии на нем падает напряжение $\sim 1,2$ В. Если же хотя бы одно входное напряжение равно 0, то соответствующий диод VD1, VD2 открыт, ток протекает через R62, создавая на нем падение напряжения, которого не достаточно для открывания VD3, в этом случае транзистор закрыт и на выходе напряжение высокого уровня.

Элемент «И-НЕ» на ТТЛ логике.



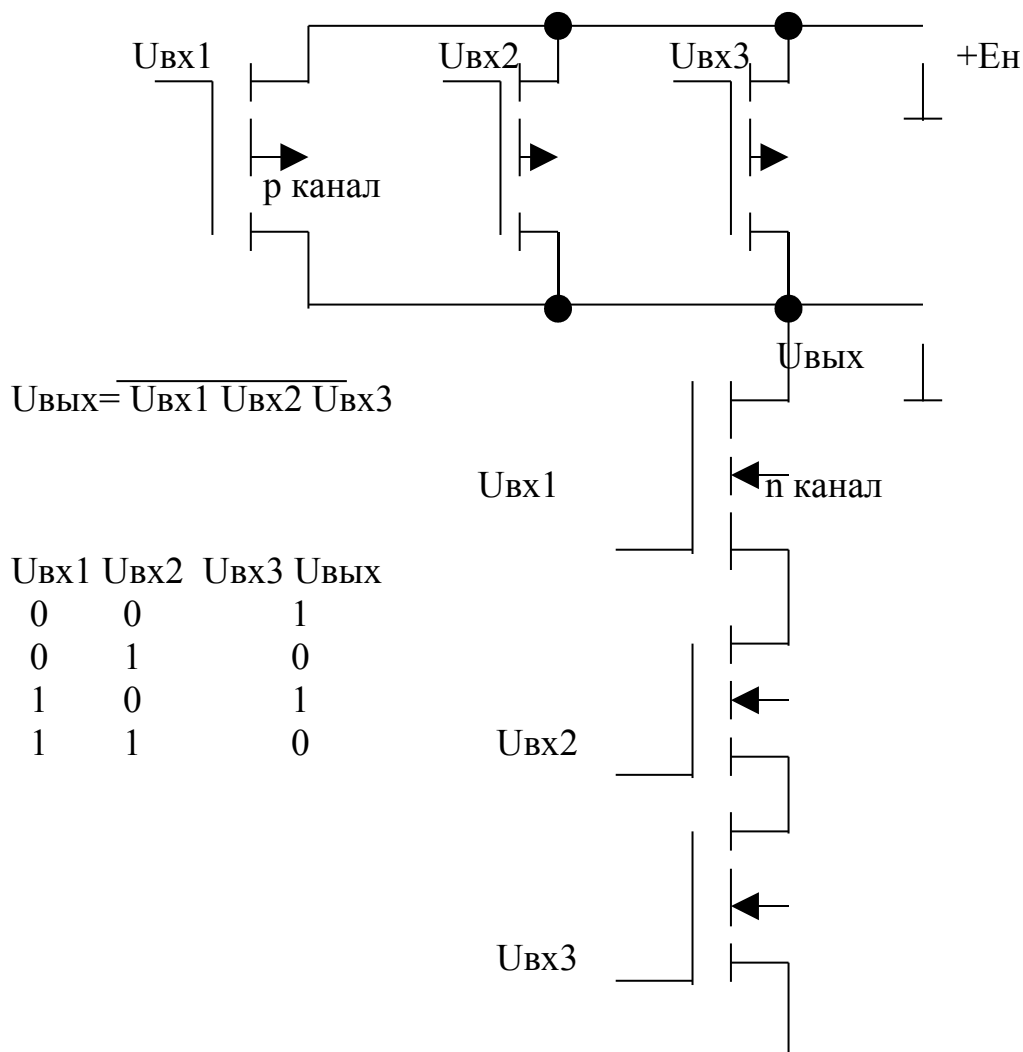
Если $U_{вх1}$, $U_{вх2}$ – напряжения высокого уровня, то многоэмиттерный транзистор VT1 закрыт. Через его коллектор и сопротивление R1 протекает ток, достаточный для отпираия VT2, VT2 открыт и через него протекает коллекторный ток, создающий на R5 достаточное падение напряжения для открывания VT5, напряжение коллектора VT2 закроет VT3 и соответственно будет закрыт VT4, в этом случае на выходе уровень логического 0. Если же $U_{вх1}$ или $U_{вх2}$ равно 0, то транзистор VT1 открыт, через него протекает ток, создающий падение напряжения на R1, коллекторный ток уменьшается, его недостаточно для открывания VT2, он закрыт, потенциал коллектора высок и этот потенциал открывает VT3,

он открыт, на R6 создается положительное падение напряжение открывающее VT4, он открыт, VT5 закрыт, $U_{\text{ВЫХ}} = 1$.

Логические элементы на КМДЛ структурах.

Комплементарные металл, диэлектрик, полупроводник.

Элемент «И-НЕ».

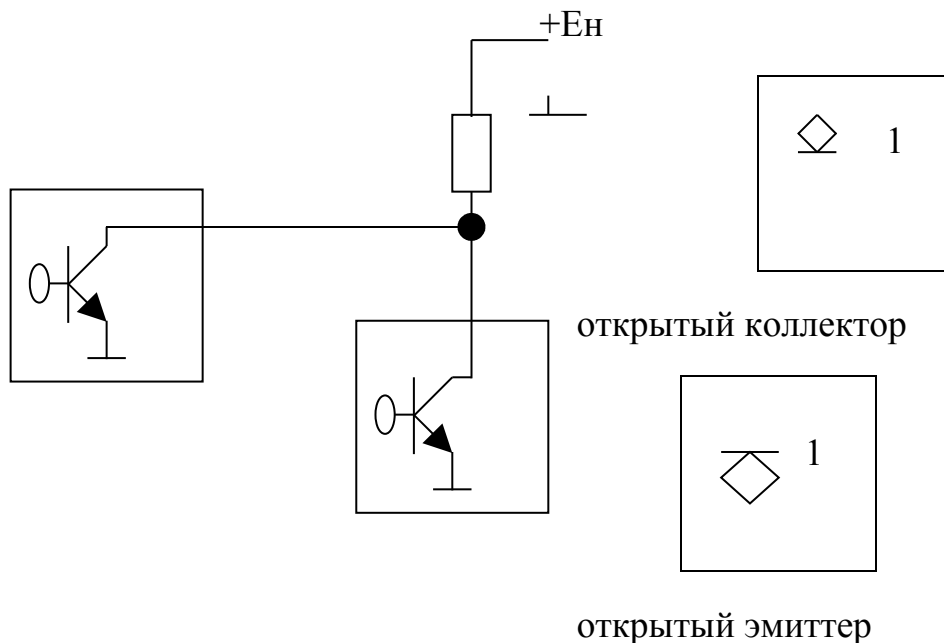


При подаче на все входы напряжения «1» транзисторов с n-каналом, они открываются, а транзисторы с p-каналом закрыты, поэтому $U_{\text{ВЫХ}} = 0$. При подаче на один из входов напряжения «0» закрывается один из транзисторов с n-каналом и $U_{\text{ВЫХ}} = 1$.

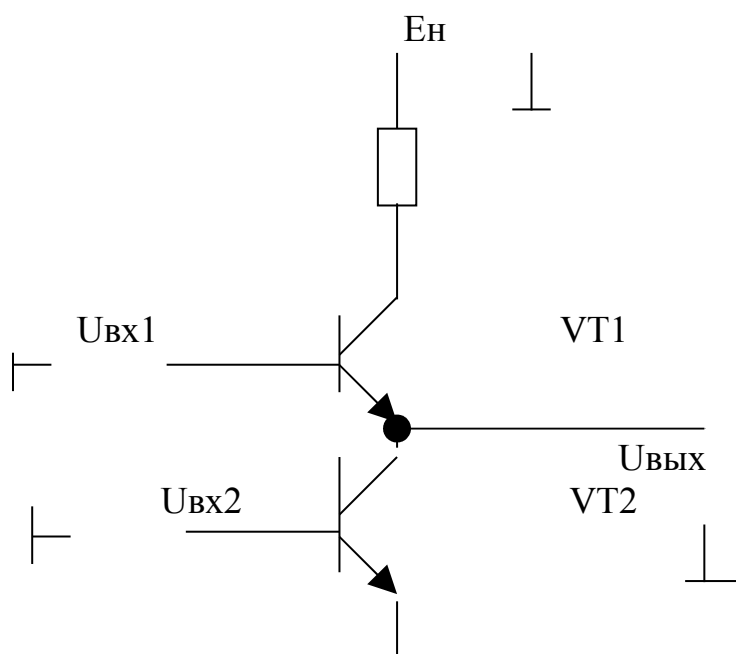
Для данных ключей не применяют сопротивление нагрузки, ограничивающей ток стока, т.к. внутреннее сопротивление канала, открытого транзистора мало, а раскрытого велико. (Низкое быстродействие).

Логические элементы с открытым коллектором и эмиттером.

Для объединения выходов нескольких логических элементов применяют схемы с открытым коллектором или эмиттером, в данных логических соединениях отсутствует сопротивление R_k или R_z , поэтому при включении нагрузкой может быть внешний элемент по отношению к логическому элементу. (резистор, и т.д.)



В схемотехнике иногда надо отключать то или иное устройство от шины, с этой целью используют схемотехническое решение с тремя состояниями.



1. $VT1$ - открыт
 $VT2$ - закрыт
 $U_{ВЫХ} = \text{«1»}$
2. $VT1$ - закрыт
 $VT2$ - открыт

$U_{\text{вых}} = \langle 0 \rangle$

3. высокоимпедансное состояние

VT1, VT2 – закрыты, отключение от логического элемента от входной шины.

Микропроцессорные системы.

Состоит из микропроцессора, ПЗУ, внешнего ОЗУ и интерфейсов, служащих для связи с внешними устройствами, сюда же могут входить системный контроллер, генератор тактовых импульсов, шинные формирователи.

Интегральные МС разделяются на последовательностные и комбинационные.

Комбинационные ИМС – схемы, выходная функция которых зависит лишь от комбинации входных функций.

Последовательностные ИМС – схемы выходная функция которых зависит не только от комбинации входных функций, но и от значения выходной функции в предыдущий момент времени, которая зависела от комбинации входных в предыдущий момент времени, т.е. П.ИМС обладают памятью. Их основой являются триггеры.

Комбинационные схемы.

Сумматор – является основой АЛУ, предназначен для сложения многоразрядных двоичных чисел, по способу реализации они делятся на два класса: комбинационные и накопительные. В комбинационных сумматорах результат хранится во время действия входных функций, а в накопительных результат хранится бесконечно долго, это обеспечивается за счет подключения к выходу КС регистров на основе триггеров.

A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{A}B \vee A\overline{B}; \quad P = AB$$

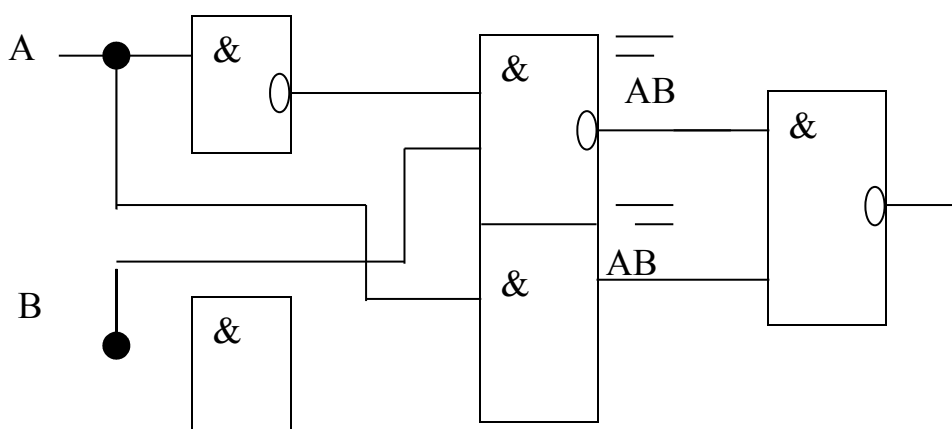
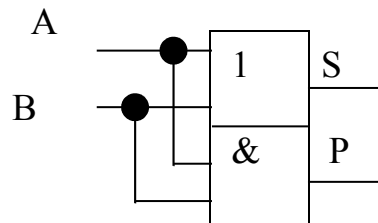
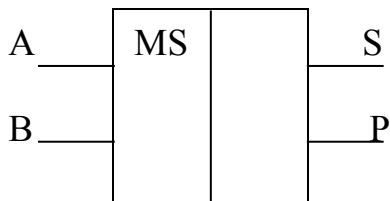


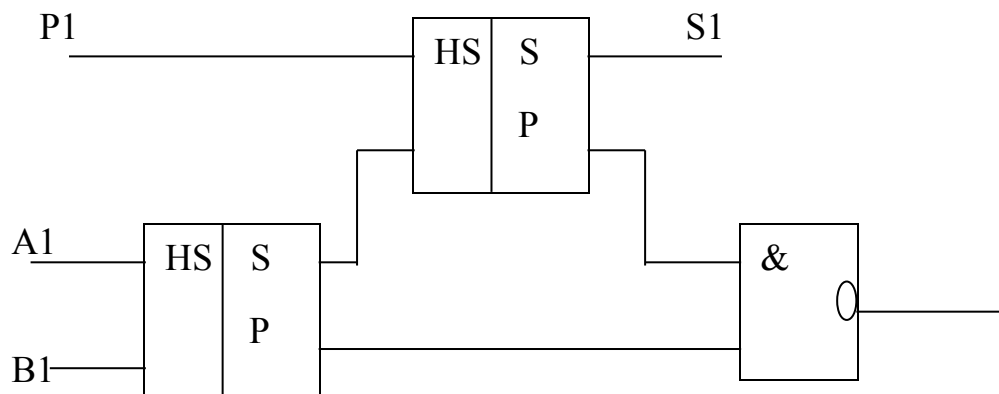
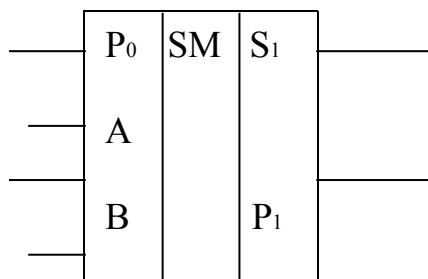


Схема исключающая «ИЛИ»

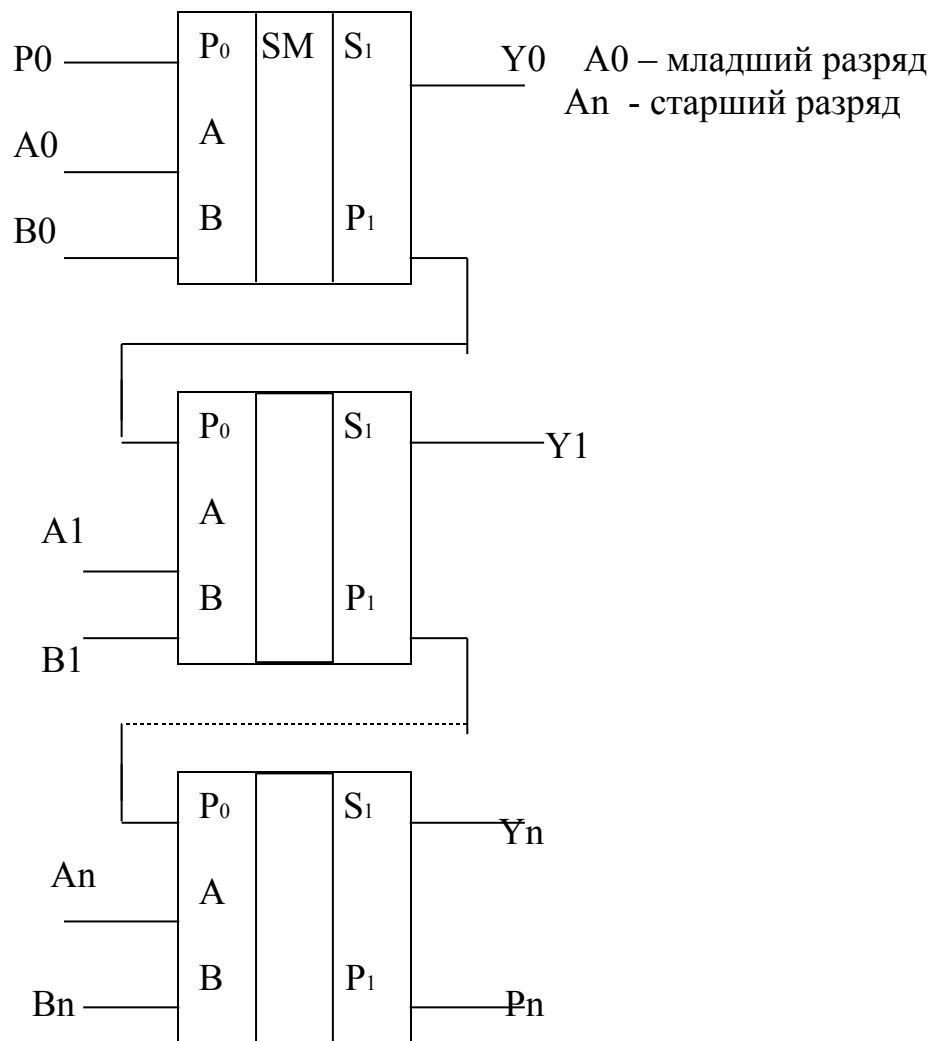
Полусумматор



Полный сумматор – служит для сложения одного разряда двоичного числа.



Что бы сформировать полный сумматор многоразрядных чисел из одnorазрядных используют последовательный или параллельный способ построения.



В нулевом разряде сигнал переноса отсутствует. Последовательный сумматор обладает низким быстродействием, поэтому в АЛУ используют параллельный сумматор. Также малым быстродействием обладает накопительный сумматор, для обеспечения хранения информации, получаемой в АЛУ используют внешние регистры МП.

Компараторы

Предназначены для сравнения двоичных многоразрядных чисел

A	B	Y	Y2
0	0	1	0
0	1	0	1
1	0	0	0
1	1	1	0

$$Y = AB \vee \overline{AB} = \overline{AB} \wedge AB$$

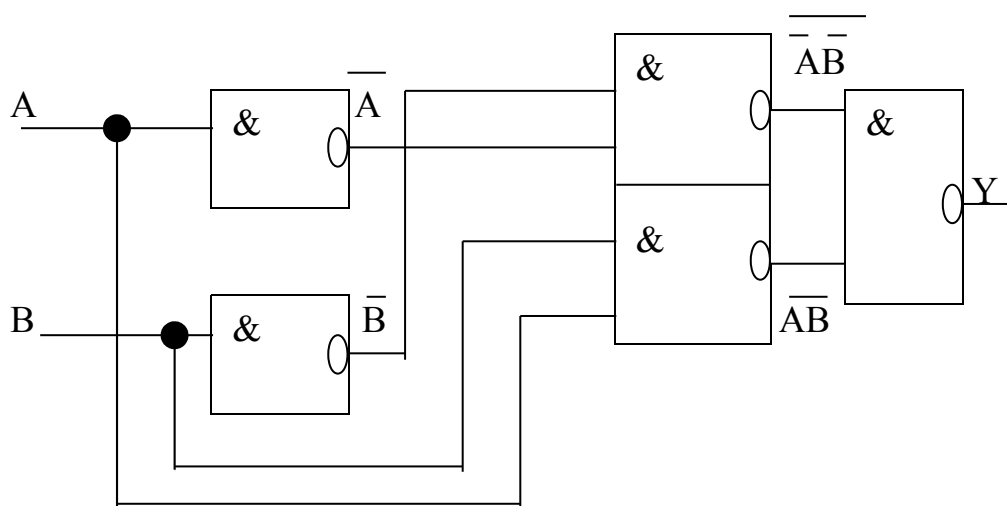
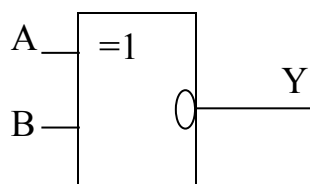
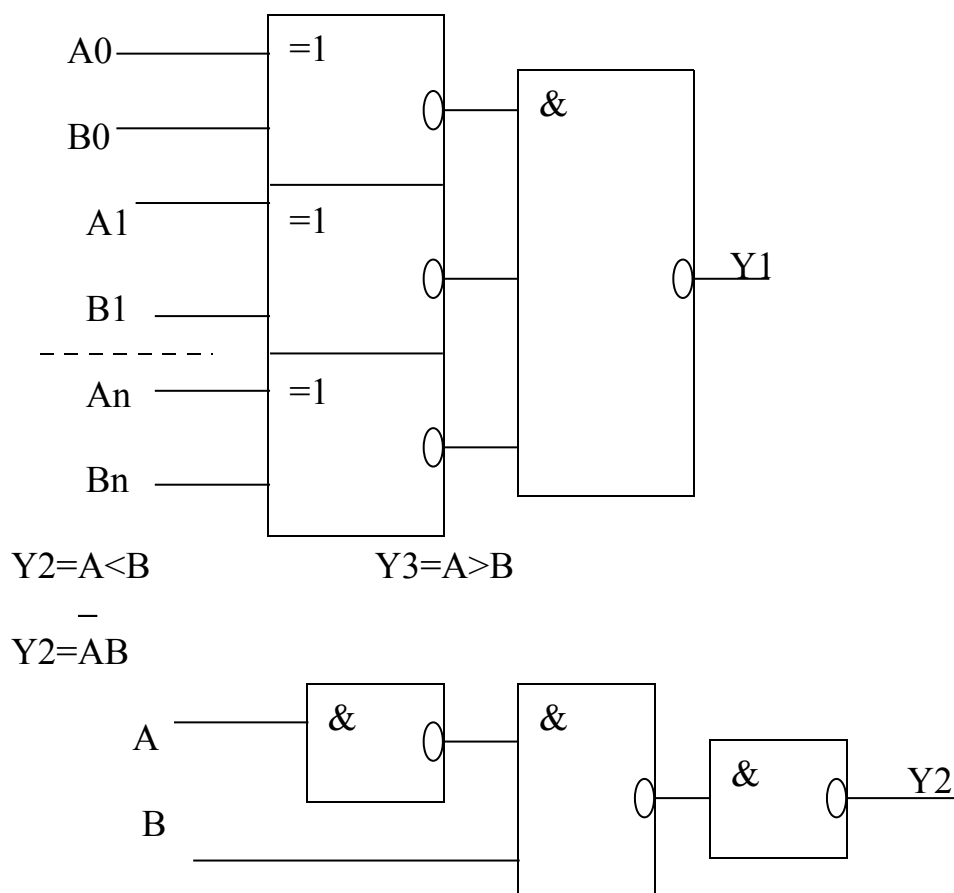


Схема исключающее «ИЛИ-НЕ»



Синтезируем схему устанавливающую равенство многоразрядных чисел на основе схем исключающих «ИЛИ-НЕ».



Для построения полного компаратора многоразрядных чисел используют следующий алгоритм:

1. Сравнивают значения старших разрядов.
2. При их равенстве сравнивают следующий разряд и т.д., т.о. для каждого разряда можно использовать предыдущую схему, передавая через мультиплексор.

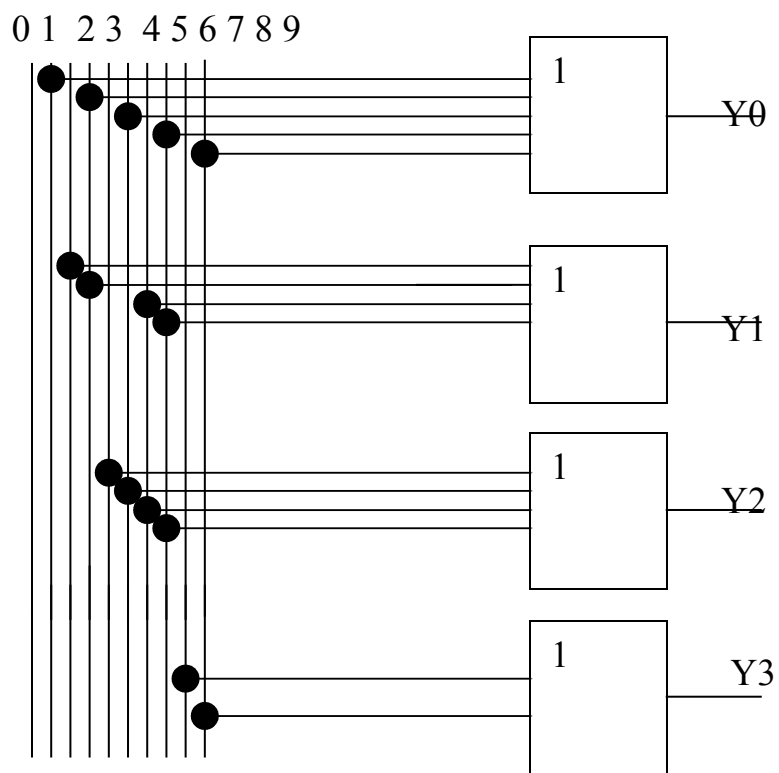
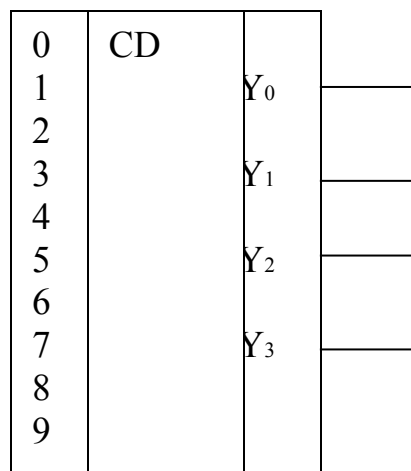
Сравнение до одного не совпадающего результата следовательно компаратор можно строить по последовательной схеме и по параллельной. Последовательная схема – низкое быстродействие, но простое схемотехническое решение, параллельная схема наоборот.

Преобразователи кодов

Служат для преобразования одной формы двоичного числа в другую и включают в себя мультиплексор, демультиплексор, шифратор, дешифратор. Шифратор – схема преобразующая одиночный сигнал в n-разрядный двоичный код; происходит преобразование десятичного в двоичный.

X_i	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

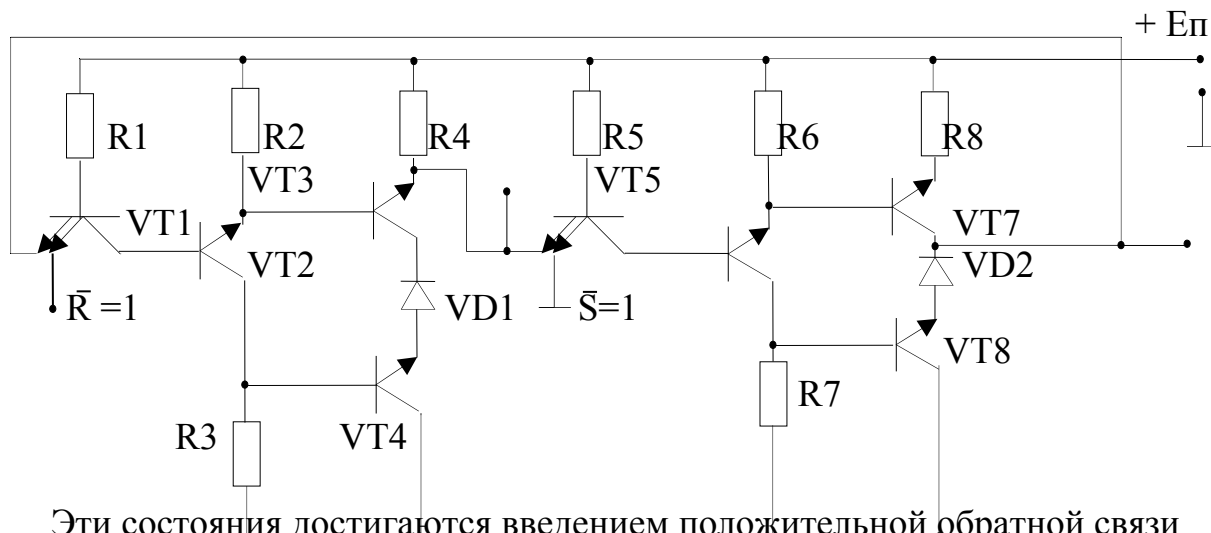
Шифратор



Дешифраторы преобразуют комбинацию входных сигналов в только один активный выходной сигнал.

Последовательные ИМС.

Триггер - элементарное устройство с двумя устойчивыми состояниями .



Эти состояния достигаются введением положительной обратной связи (ПОС), то есть подачей на один из входов триггера элементарного сигнала с выхода в фазе, т.е. на входе складываются два элементарных сигнала. На схеме имеются два входа: R- установка в 0-ое состояние на выход Q и S- установка 1-го состояния. Схема представляет собой последовательное соединение двух элементов И-НЕ, для того чтобы на выходе $Q=1$ мы должны подать на вход $\bar{S}=1$ (т.е. не S), а на вход R - не R. Через базу-эмиттер VT1 протекает ток, т.к. на один из эмиттеров подан 0, то тока протекающего через базу VT2 недостаточно для открывания VT2, т.е. VT2 закрыт. Потенциал коллектора VT2 подключен к плюсу источника питания. Оба эмиттера VT5 под повышенным потенциалом, VT5 закрыт; VT6 открыт из-за тока через R5, базу- коллектор VT5, базу-эмиттер VT6 и R7, следовательно на R6 создается пониженное напряжение, закрывающий VT7 и открывающую VT8 - на выходе $Q = 0$. Это состояние длится до тех пор пока мы не подадим на вход R или S соответствующие сигналы.

Классификация триггеров .

1. По способу записи информации:

асинхронные - информация в триггер записывается в момент прихода импульса на один из информационных входов.

Синхронные (тактируемые) - информация в триггер записывается при действии сигнала на один из информационных входов, а также наличие синхронного импульса.

2. По характеру работы:

триггер памяти
 счетные триггеры
 универсальные триггеры (MS триггер)

Синтез RS- триггера

S	R	Q	Qt
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	*
1	1	1	*

1 2

R- reset - установка в 0-ое значение.

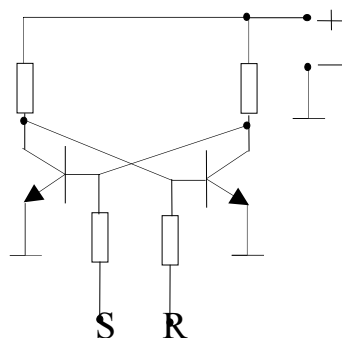
S- set - установка в 1-ое значение.

Q- значение выхода в предыдущий момент времени.

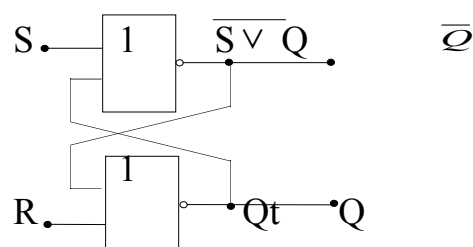
Qt- значение выхода в текущий момент времени.

	00	01	11	10
\bar{Q}				1
Q	1			1

$$Q_t = \bar{R} S \vee Q \bar{R} = \bar{R} (S \vee Q) = \bar{R} \vee (\bar{S} \vee Q)$$



Реализуем:

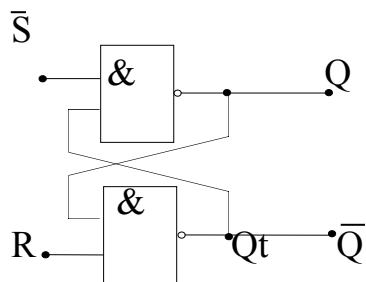


Доопределим в таблице истинности неопределённость * в 1.

	00	01	11	10
\bar{Q}			1	1
Q	1		1	1

Запишем ДНФ и синтезируем схему:

$$Q_t = S \vee \overline{R}Q = \overline{S}(\overline{Q}R)$$



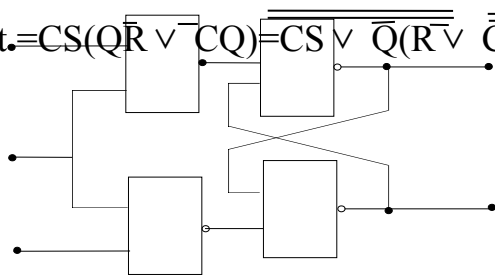
Синхронный RS триггер

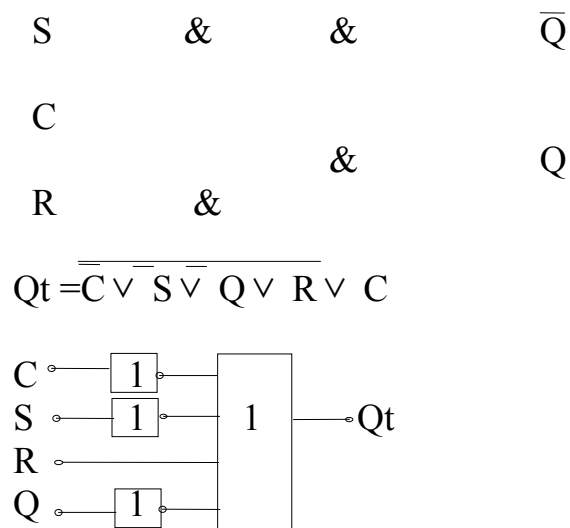
Его переключение должно происходить при наличии синхронизирующего импульса без него Q не изменяется ?

C	S	R	Q	QT
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

CS\RQ	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	1	1	1
10	0	1	0	0

$$Q_t = CS(Q\overline{R} \vee CQ) = \overline{CS} \vee \overline{\overline{Q}(R \vee \overline{C})} = \overline{CS}Q(RC)$$

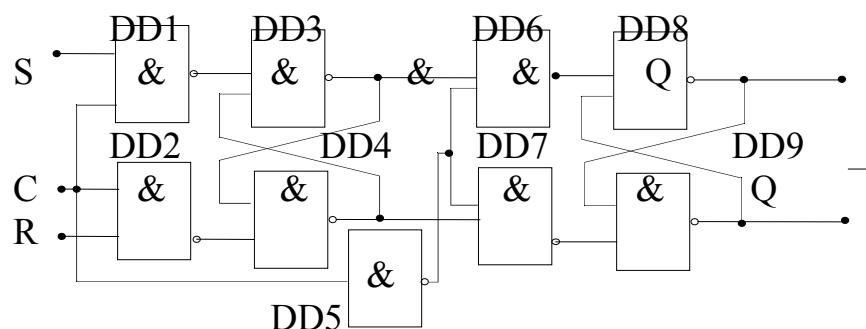




Синхронный RS триггер типа MS.

По способу переключения триггера делятся:

1. С динамическим управлением - срабатывание происходит по переднему или заднему фронту.
2. Со статическим управлением - срабатывание происходит во время импульса на информационном входе.
3. Триггер типа MS - запись в ведомый триггер производится после окончания переходных процессов в ведущем триггере .



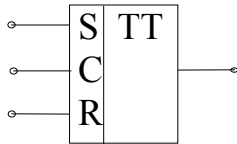
DD 3,4 - ведущий триггер

DD 8,9 - ведомый триггер

При подаче на один из информационных входов сигнала происходит срабатывание ведущего триггера при наличии синхроимпульса. Ведомый триггер не срабатывает так как синхроимпульс на разрезающие входы DD 6,7 подается через инвертор DD 5. После окончания действия синхроимпульса информация с ведущего триггера пропускается в ведомый.

Достоинство этого триггера: повышенная помехоустойчивость так как запись информации в ведомый триггер осуществляется после окончания переходных процессов, которые могут вызвать ложное срабатывание триггера.

Обозначение RS триггера типа MS.



JK триггер - универсальный триггер, на его базе можно построить любой триггер. Обычно JK триггер строится по типу MS.

J - установка триггера в единичное состояние .

K - установка в нулевое состояние.

В триггере используются все четыре типа переходов:

1. запоминающий $Q(t) = Q$

2. единичный $Q(t) = 1$

3. нулевой $Q(t) = 0$

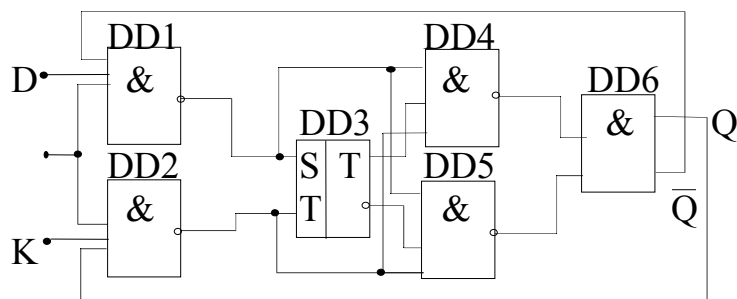
4. колебательный $Q(t) = \bar{Q}$

JK триггер отличается от RS триггера тем, что здесь исключена неопределенность возникающая при $R=S=1$ при $J=K=1$ осуществляется колебательный переход.

C	J	K	Q	QT
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

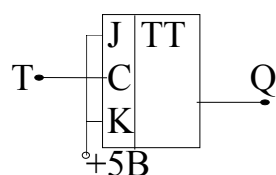
KQ\CJ	00	01?	11	10
00			1	
01	1	1	1	1
11	1	1		
10			1	

JK триггер можно реализовать на RS триггерах исключив неопределенность, т.е. $S=R=1$ достигается для ведущего триггера DD 3 элементами DD1, DD2; для ведомого DD4, DD5. Запись в ведомый осуществляется после окончания действия синхроимпульса.



Счетный Т триггер - использует только колебательный переход, он строится на базе JK триггера.

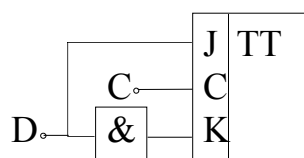
Для получения колебательного перехода J и K объединяют и подключают к плюсу источника питания. Синхронный вход С - счетный.



D триггер - триггер задержки (памяти).

Для организации D триггера надо исключить колебательный вход - это достигается инвертированием входного сигнала на входы J и K.

Задержка осуществляется на время действия синхроимпульса, т.к. здесь используется триггер типа MS.



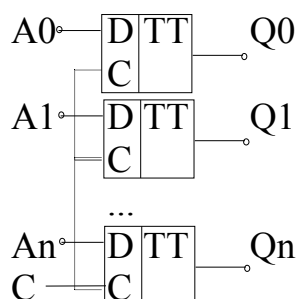
РЕГИСТРЫ - цифровое устройство для хранения и выполнения логических операций над двоичным словом. Различают

1. регистр памяти
2. регистр сдвига
 - а) сдвига влево
 - б) сдвига вправо
 - в) реверсивный регистр

Разрядность регистра определяется числом триггерами входящих в него.

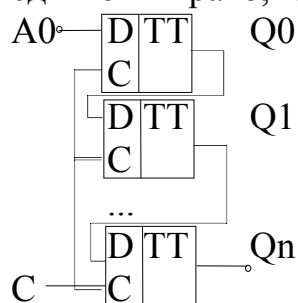
Регистр памяти.

В качестве ячейки памяти используется D триггер. Информация в параллельном коде подается на информационные входы, запись осуществляется при наличии синхроимпульса. Информация в регистре храниться бесконечно долго и может быть считана без уничтожения.



Регистр сдвига - последовательное соединение несколько триггеров, определяемых разрядностью.

Информация в последовательном коде поступает на информационный вход первого триггера. При наличии синхроимпульса идет запись первого бита информации в первый триггер. При воздействии второго синхроимпульса этот бит информации переходит во второй триггер и т.д. таким образом сдвигается информация. Считают, что сдвиг идет вправо, но можно организовать сдвиг информации влево. Существует схемы со сдвигом вправо, влево, реверсивным сдвигом.



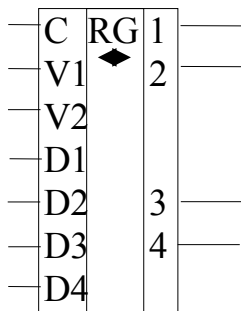
4-х разрядный регистр RG со сдвигом вправо, влево, реверсивный.

V_1, V_2 - адресные входы (разрешающие), т.е. микросхема работает тогда, когда на V_1 и V_2 подана определенное напряжение.

Реверс сдвига осуществляется коммутацией элементарными напряжениями за счет подачи на один из входов повышенного напряжения.

Пуст $\Pi=1$ - сдвиг вправо, следовательно сработает второй элемент и выход первого триггера окажется подключенным на вход второго, выход второго не подключен к входу первого.

При подаче повышенного напряжения на Π - выход второго триггера окажется подключен к входу первого, т.е. триггеры как бы меняются местами.



Счетчики - это цифровой электронный узел ЭВМ для счета и хранения цифрового двоичного кода. Счет импульсов в прямом (сложение) и обратном (вычитание) кодах.

Различают:

1. асинхронные - счет импульсов осуществляется по переднему или заднему фронту импульса.
2. синхронные - счет ведется по поступлению на синхровход синхроимпульса.

Счетчики

а) суммирующие

б) вычитающие

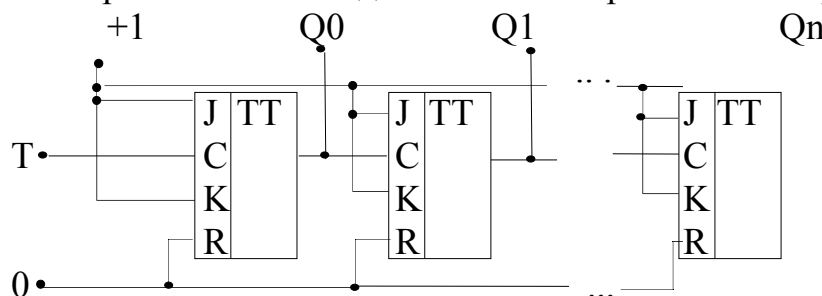
в) реверсивные

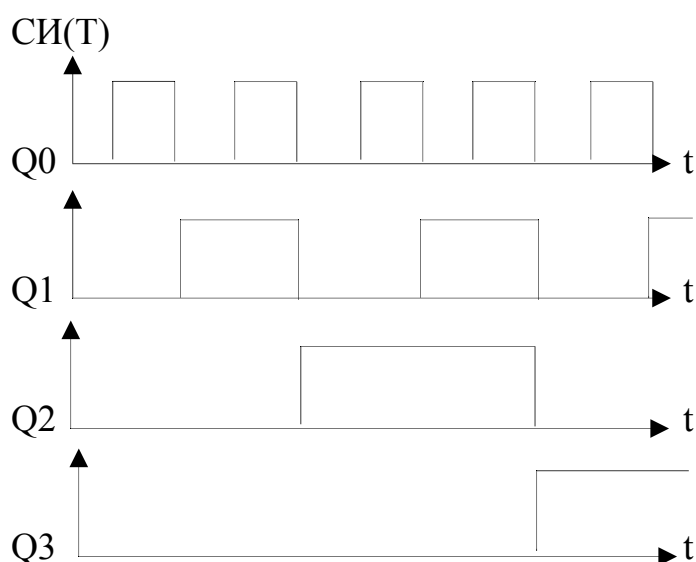
по способу передачи информации

1. последовательный перенос
2. параллельный перенос - информационные сигналы на последующие триггера счетчика передаются со всех предыдущих через элемент И т.е. последующий триггер не сработает пока не сработает предыдущий.

Преимущества - большое быстродействие и помехозащищенность.

Счетчики строятся на счетных. Схема суммирующего счетчика асинхронного с последовательным переносом изображена ниже.



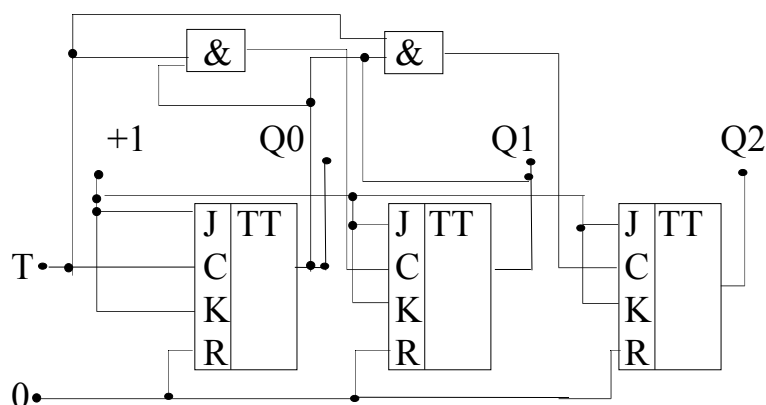


T - счетный вход

0 - установка счетчика в 0

1 - напряжение источника соответствующее 1

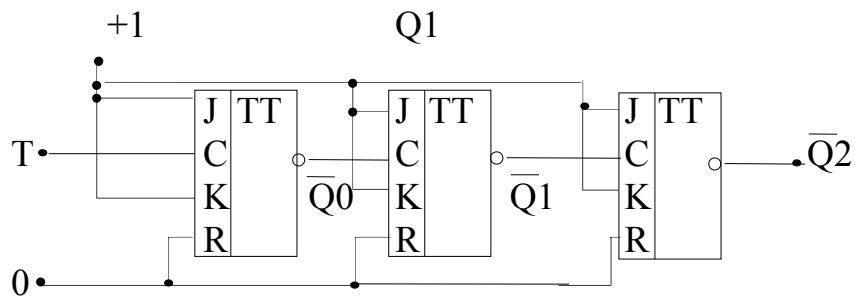
Здесь используются JK триггер типа MS так как возможно за действие счетного импульса на входе первого триггера срабатывания и последующих. Это касается триггеров со статическим управлением с выходов снимается цифровой двоичный код соответствующий числу поступивших импульсов. Недосток схемы с последовательным переносом - накопление времени задержки, что может привести к тому, что триггер не успеет сработать за время действия счетного импульса. Этот недостаток устраняется в счетчиках с параллельным переносом и в синхронных счетчиках.



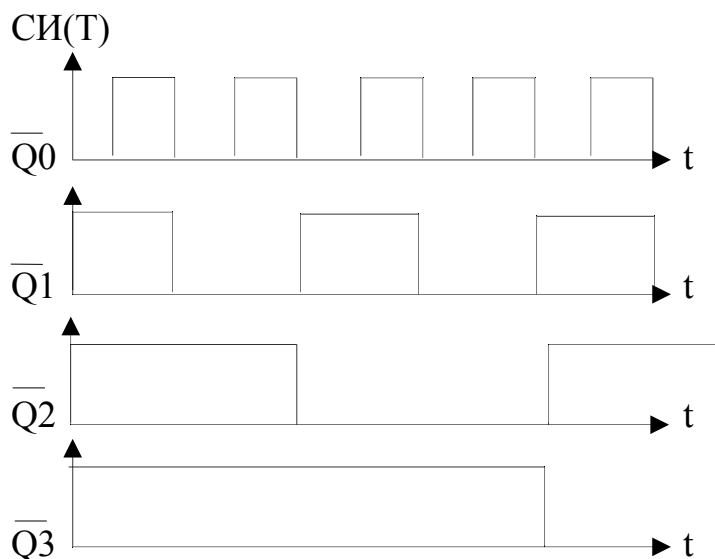
последний триггер сработает тогда, когда закончиться все переходные процессы в предыдущих триггерах и на их выходах установятся единичные состояния.

Недостаток - использование многовходовых JK триггеров или элементов И. Что ограничено коэффициентом разветвления по входу.

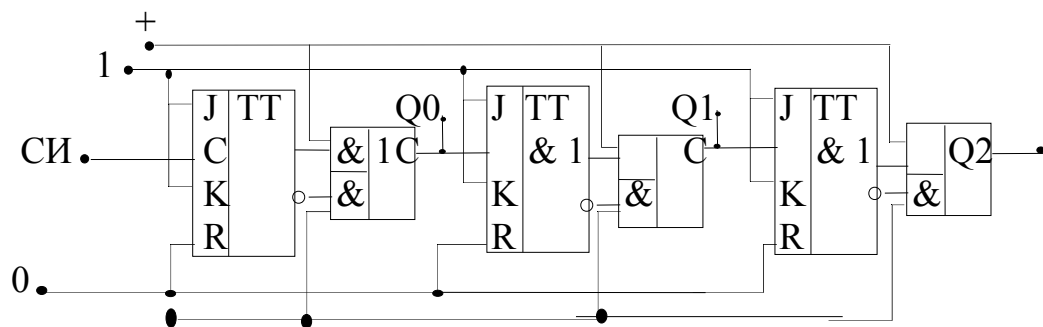
Вычитающий счётчик



для построения вычитающего счётчика используют последовательное соединение триггеров с инверсными выходами. При установке триггеров в 0 на прямых выходах, инвертированные выходы будут иметь единичное значение. При подаче единичного импульса инвертированный выход переходит в ноль, таким образом происходит вычитание импульса от значения счетчика.



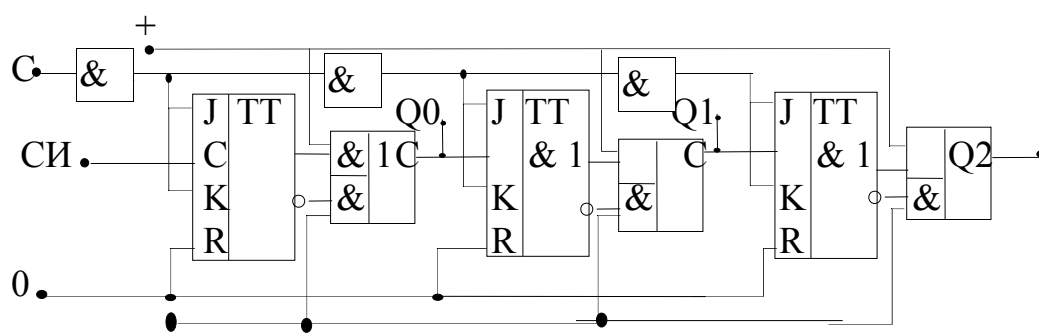
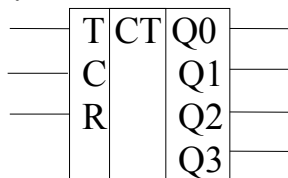
Реверсивный счётчик - позволяет вычитать и складывать импульсы в зависимости от управляющего напряжения.



реверс осуществляется подачей управляющего напряжения на входы + или - соответственно. В этом случае осуществляется подключение или прямого или инверсного выходов предыдущего триггера на вход последующего.

Синхронные счетчики.

Для синхронизации счетчиков используются JK входы триггеров, для обеспечения коэффициента разветвления по выходу выходной ИМС генератора счетных импульсов подача СИ осуществляется через элемент И.



Микропроцессоры - программно-управляемые устройства осуществляющие процесс обработки цифровой информации и управления им на одной или нескольких больших интегральных схемах (БИС). Классификация МП осуществляется по возможности наращивания разрядности:

секционированные - позволяют обработать данные допустим четырехразрядные, добавляя подобную схему мы можем обработать восьмиразрядные и т.д.

Другой класс МП - законченный функциональный узел позволяющий обработать данные с фиксированной разрядностью- однокристальные МП.

С внешними по отношению к МП устройствами, МП подключает тремя шинами.

1. ШД - шина данных - двунаправленная шина по которой передается информация от МП и в МП. Она определяется разрядностью МП.
2. ШУ - шина управления - передает управляющие сигналы к внешнему устройству и наоборот.
3. ША - шина адреса - однонаправленная шина, на ней выставляется адрес внешнего устройства с которым идет объем информации.

Однокристалльный МП за счет ограниченности схмотехнического решения не может выполнять операции в полном объеме, их дополняют внешними ИМС, которые составляют МП комплект.

МП комплект КР 580 ВМ 80 А - программируемый однокристалльный восьмиразрядный МП.

КР 580 ГФ 24 - генератор тактовых импульсов для синхронизации работы всех внутренних блоков МП и всех внешних устройств.

КР 580 ВК 28/38 - системный контроллер и шинный формирователь.

Системный контроллер - для формирования управляющих сигналов на внешнее устройство и хранение их в течении всего машинного цикла при котором происходит обмен и обработка информации в МП.

Шинный формирователь - обеспечивает необходимую нагрузочную способность по ШД и отключение МП от шины в режиме ПДП.

Режим ПДП организуется без участия МП при записи информации от внешнего устройства в ОЗУ.

КР 580 ВВ 51 А - программируемый последовательный интерфейс осуществляет преобразование информации из параллельного кода в последовательный и наоборот, поступающий от ВУ.

КР 580 ВИ 53 А - программируемый таймер. Осуществляет временную привязку работы МП.

КР 580 ВВ 55 А - программируемый параллельный интерфейс, осуществляет связь ВУ с МП в параллельном коде.

КР 580 ВТ 57 - программируемый контроллер ПДП - формирует память ОЗУ области, с которой происходит обмен информации с ВУ, в режиме ПДП.

КР 580 ВН 59 - программируемый контроллер прерываний. В этом режиме осуществляется прерывание выполнения основной программы и МП и обращается к подпрограмме, например для обслуживания ВУ.

КР 580 ВВ 79 - интерфейс клавиатуры. Связывает клавиатуру с дисплеем.

КР 580 ВГ 75 - контроллер ЭЛТ, для отображения информации или управляющих сигналов.

КР 580 ВК 91 А - интерфейс общего пользования.

КР 580 ВГ 92 - контроллер общего пользования.

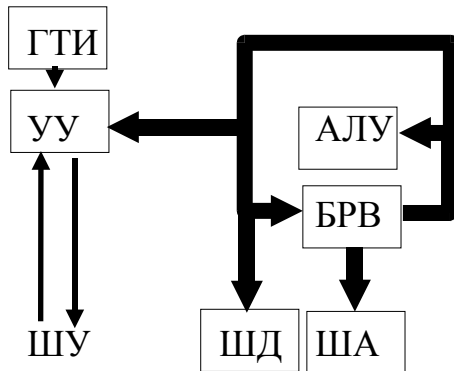
КР 580 ВА 93 - приемопередатчик общего пользования.

КР 580 ВР 43 - расширитель ввода-вывода.

КР 580 ИР 82/83 - буферный регистр, для формирования управляющих сигналов и обеспечения их хранения.

КР 580 ВА 86/87 - шинный формирователь для увеличения нагрузочной способности.

Структурная схема МП КР 580 .



ГТИ - генератор тактовых импульсов.

УУ - устройство управления для приема и выработки управляющих сигналов.

АЛУ - арифметическое логическое устройство - комбинация схем в которых происходит арифметическое логическое преобразование данных.

БРВ - блок внутренних регистров для хранения промежуточной и конечной информации после каждого машинного такта. В нем формируется адрес ячейки ОЗУ в которой хранится следующая команда. Все регистры являются восьмиразрядный с возможностью расширения до шестнадцати разрядов.

ПРИНЦИП ДЕЙСТВИЯ

При включении питания МП, на шине адреса счетчик команд выставляет адрес ячейки в которой храниться код первой операции. В этот момент происходит обнуление всех внутренних регистров.

По ШД из ПЗУ код операции поступает в регистр команд, где происходит дешифрация команды и настройка АЛУ на ее выполнение. Команды могут быть одна двух или трех байтные. После выполнения первого действия счетчик адреса прибавляет единицу и на регистре адреса выставляется адрес ячейки ОЗУ или ПЗУ с которой происходит обмен информации.

МП работает в нескольких режимах:

ПДП

Прерываний

Чтения

Записи и т.д.

Выбор определенного режима работы осуществляется программно и аппаратно, т.е. по запросу от ВУ. Эти управляющие сигналы идут на УУ.

МП через УУ и ШУ управляет внешними устройствами, настраивая их на какой-либо режим работы.

Обозначение КР580.

ШУ {	D0	A0	
	
	
	
	D7	A15	
	C1	ЗП	
	C2	ЧТ	
	ГТ	РПР	
	ЗХ	ОЖ	
	РП		ПЗХ
	Р	С	

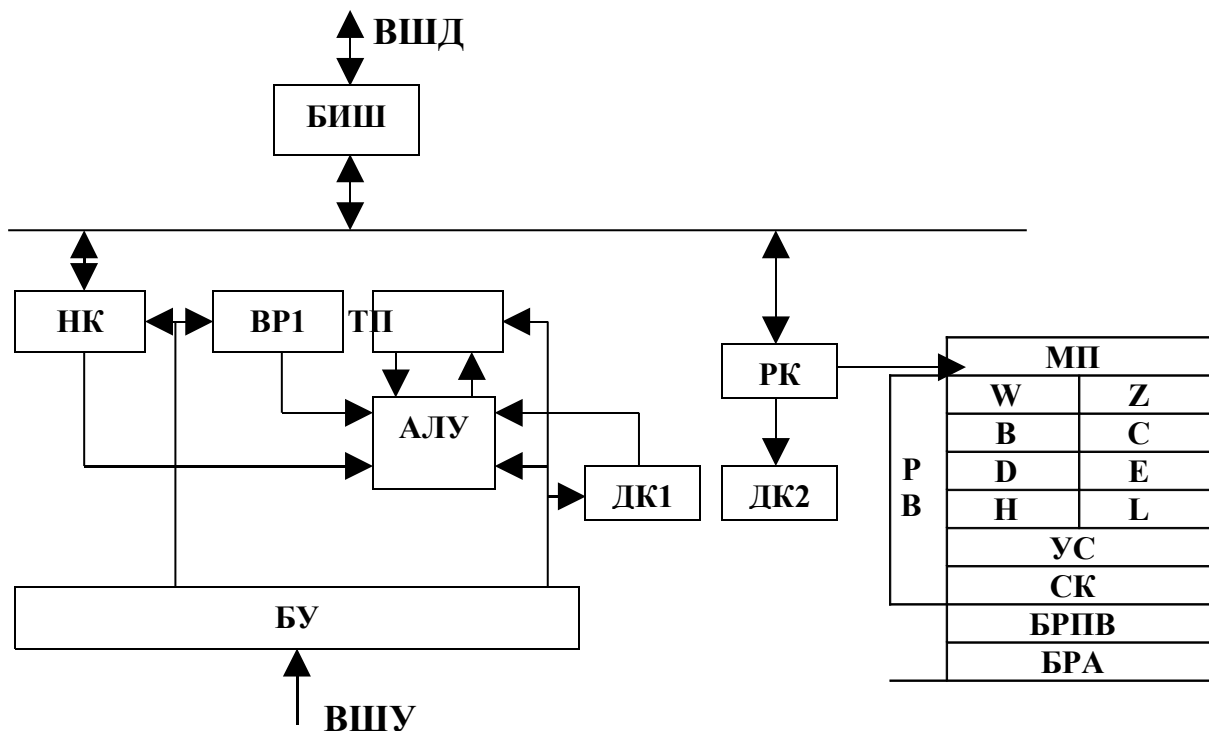
КР580 – восьмиразрядный процессор. Предназначен для выполнения контроллеров с фиксированной системой команд. Формат команд может быть 1, 2, 3-х байтным. Команда и операнд поступают из ПЗУ, и является внешним устройством по отношению к ЦПЭ по шине данных (ШД). От ГТИ на вход С1 и С2 поступает последовательность прямоугольных импульсов $U=12В$. Так же на ЦПЭ поступает сигнал от внешнего устройства (ВУ) о готовности к обмену информацией. Сигнал захват ШД осуществляется при обмене информацией, когда ЦПЭ прекращает выполнение основной программы.

Сигнал разрешения прерывания (РПР) выдается с ВУ для разрешения прерывания основной программы и обменом информацией ВУ с памятью. Сброс может формироваться как от кнопки, так и от ГТУ для обнуления внутренних регистров. Эти 6 сигналов представляют собой шину управления (ШУ), действующих на ЦПЭ. В свою очередь ЦПЭ формирует управляющие сигналы на ВУ.

- Запись (ЗП) – когда информация по ШД поступает от ЦПЭ на ВУ.
- Чтение (ЧТ) – наоборот.
- РПР – разрешение прерывания.
- Ожидание (ОЖ) – когда ЦПЭ ожидает готовности сигнала от ВУ для обмена информацией. При наличии от внешнего устройства сигнала захвата, ЦПЭ вырабатывает сигнал подтверждения захвата.

Синхронизация всех ВУ с признаком начала машинного цикла, который в зависимости от характера выполняемой операции может длиться до нескольких десятков машинных тактов. Шина адреса (ША) – представляет собой шестнадцатиразрядную шину, и может адресовать информацию в 64 килобайта. Для ЦПЭ система команд содержит 111 фиксированных команд.

Структурная схема КР580.

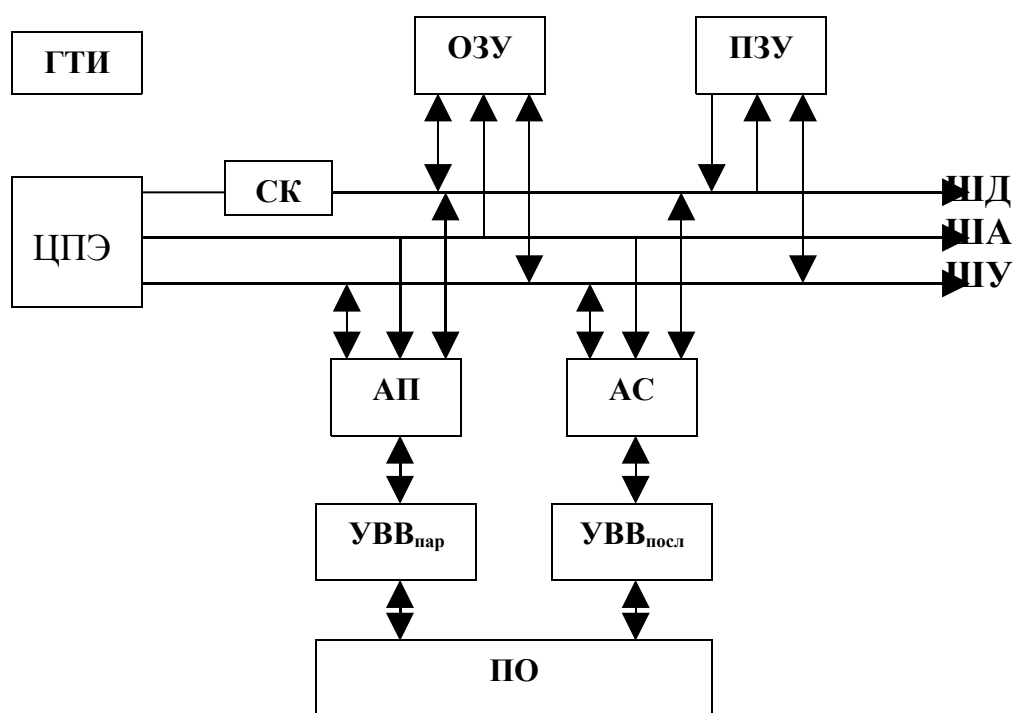


- БШИ – буфер информационной шины;
- НК – накопитель;
- ВР1 – временный регистр;
- ТП – триггера признаков;
- АЛУ – арифметико-логическое устройство;
- ДК1 – десятичный корректор;
- БУ – блок управления;
- РК – регистр команд;
- ДК2 – дешифратор команд;
- МП – мультиплексор;
- W, Z, B, ..., HL – восьмиразрядные регистры общего назначения;
- ВР – выбор регистра;
- УС – указатель стека;
- СК – счетчик команд;
- БРПВ – блок регистров приращения-вычитания;
- БРА – блок регистра адреса.

При подаче питающего напряжения и обнулении внутренних регистров ЦПЭ, подачей сигнала сброс на БУ, счетчик команд вырабатывает приращение на 1 в БРПВ. В результате на БРА устанавливается адрес ПЗУ, хранящий первую команду. По ШД эта команда поступает на БИШ с подтверждением сигнала о готовности ВУ на информационный обмен. ТП определяют характер информации, направляя ее в РК. С РК она поступает на ДК2, который в свою очередь формирует управляющие сигналы на блок управления. БУ организует

внутреннее строение АЛУ на выполнение одной и элементарных операций. При поступлении данных по ШД на ВР1 происходит элементарная операция в АЛУ и промежуточные данные могут храниться в накопителе. При обмене информацией с ОЗУ, информация через НК, через буфер данных поступает в ячейку ОЗУ, адрес которой определяется БРА. Для обслуживания прерывания выполнения основной программы, используются регистры общего назначения. Промежуточные данные от выполняемой основной программы формируются в РОН по правилу: первый вошел, последний вышел – стек. УС формирует адрес РОНа, в котором хранится первая поступившая информация. После окончания выполнения программы ЦПЭ возвращается к выполнению основной программы, использующей хранящиеся данные из РОН.

Структурная схема микропроцессорной системы.

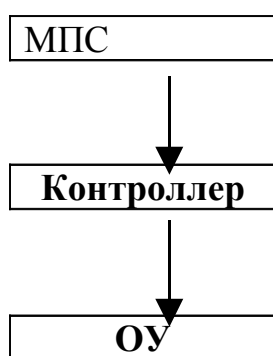


- ГТИ – генератор тактовых импульсов;
- ПО – периферийное оборудование;
- ША – шина адреса – является однонаправленной.
- ГТИ – генератор тактовых импульсов – предназначен для синхронизации ЦПЭ и других ВУ.
- ЦПЭ – центральный процессорный элемент – производит преобразование поступившей информации по заданному закону управления.
- СК – системный контроллер – осуществляет выработку сигналов управления, поступивших по ШД и обеспечивает ее хранение в своих

выходных регистрах в течение всего машинного цикла выполнения операции.

- ОЗУ – для хранения оперативной информации, поступившей с ЦПЭ.
- ПЗУ – для хранения программы и констант.
- АП – адаптер параллельный – для формирования параллельного кода управляющих сигналов на ПО. Применяют при коротких линиях связи.
- АС – адаптер связной – последовательный адаптер – преобразует параллельный код информации от ЦПЭ в последовательный и наоборот.
- УВВ – устройство ввода вывода (последовательный, параллельный) – управляющие устройства исполнительных механизмов.

Типы контроллеров.

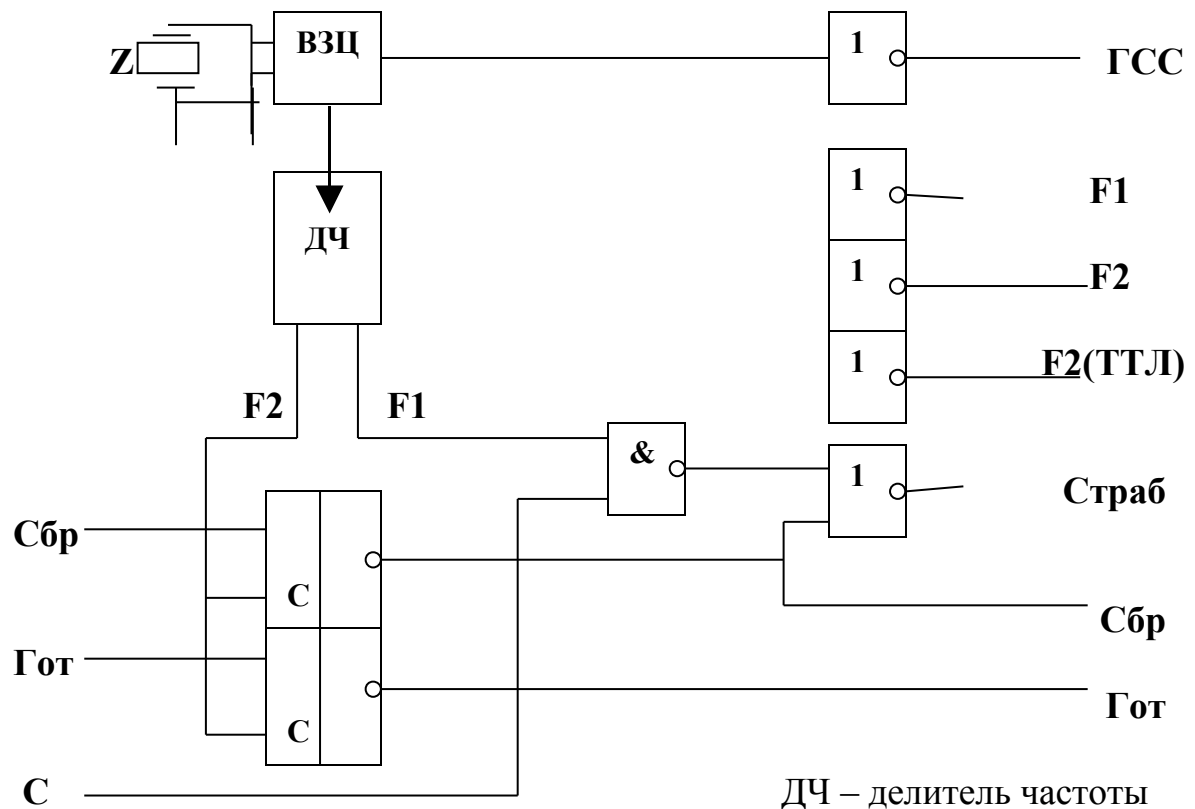


Для улучшения связи и увеличения числа объектов управления, интерфейсные схемы (адаптеры) заменяются контроллерами. Они делятся на активные и пассивные. Активные контроллеры позволяют осуществлять связь между объектом управления и МПС в режиме прямого доступа к памяти (ПДП). Объем информации, поступающей от ОУ в режиме ПДП, определяется программно. Затем, поступившая информация обрабатывается МПС согласно математической модели закона управления.

Пассивные – обеспечивают:

1. Синхронный режим обмена информации – этот способ передачи информации применяется редко, и только с объектами управления невысокого интеллекта (реле, контакторы и т.д.);
2. Асинхронный позволяет повысить скорость передачи информации, что повышает пропускную способность канала связи. Асинхронный обмен информацией осуществляется программным путем, и только в том случае, когда от объекта управления поступил сигнал готовности к обмену. Недостатком данного обмена является потеря времени на ожидание готовности ОУ.
3. Обмен с прерываниями. В нем МПС получает сигнал от ОУ, на разрешение прерывания выполнения основной программы МПС и при получении данного разрешения происходит обмен информацией МПС с ОУ. В данном режиме, особенно при наличии большого количества ОУ, происходит резкое сокращение времени простоя МПС, что позволяет с учетом приоритета ОУ расширить их число и повысить качество управления.

Генератор тактовых импульсов (ГТИ).



ГТИ КР580ГФ24 – предназначен для выработки синхросигналов F1 и F2 одинаковой частоты, но с задержкой относительно друг друга. Стандартная частота – 2МГц. Время задержки между синхросигналами F1 и F2 используется в БИС для устранения «гонок» импульсов. Гонки импульсов возникают в БИС за счет разного пути прохождения по схеме, что определяет различные их время задержки.

F2(ТТЛ) – согласуется с входным допустимым напряжением ТТЛ логики. Время, задающее цепь (ВЗЦ) является генератором синусоидальных сигналов с частотой 18МГц стабилизированной кварцем Z. ВЗЦ позволяет в небольших пределах подстраивать частоту генерации. Для этого существует выход генератора синусоидальных сигналов (ГСС).

Для формирования управляющих сигналов на МП страбирующего, сбрасывающего и сигнала готовности используются внутренние цепи ГФ24, синхронизированные внутренней частотой.

Шинные формователи.

Шинные формирователи (ШФ) представляют собой усилители импульсных напряжений и служат для повышения нагрузочной способности МП, а также для усиления сигнала, прошедшего через длинную линию связи. Ослабление сигнала в линии связи происходит не только из-за наличия активного сопротивления проводника, но также и за счет шунтирования их энергии емкостью линии связи. Это особенно влияет при высоких частотах следования импульса.

Нагрузочная способность КР580В80А:

ШД: для логич. «0» - 1,8мА;

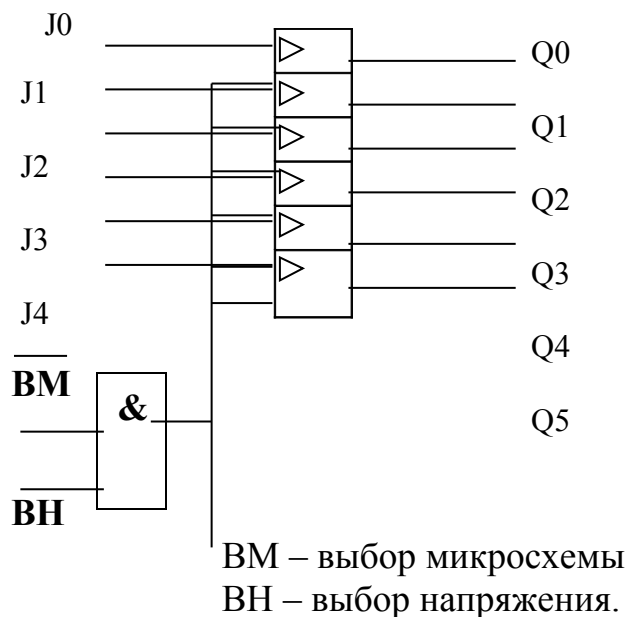
для логич. «1» - 0,15мА.

Другие шины: «0» - 0,75мА;

«1» - 0,1mA.

ШФ делятся на однонаправленные и двунаправленные. Обычно – это операционный усилитель.

K155ЛП10 представляет собой шестиразрядный ШФ, и обеспечивает передачу информации от МП к ВУ, а также отключение МП от шины (высокоимеданное состояние). Отключение от шины позволяет повысить нагрузочную способность шины.



Данная ИМС позволяет формировать сигналы в шести разрядах. Для примера, потребляемый ток в ячейки ОЗУ – 0,02-0,4мА.

ИМС 155 серии: логич. «0» - 1,6мА

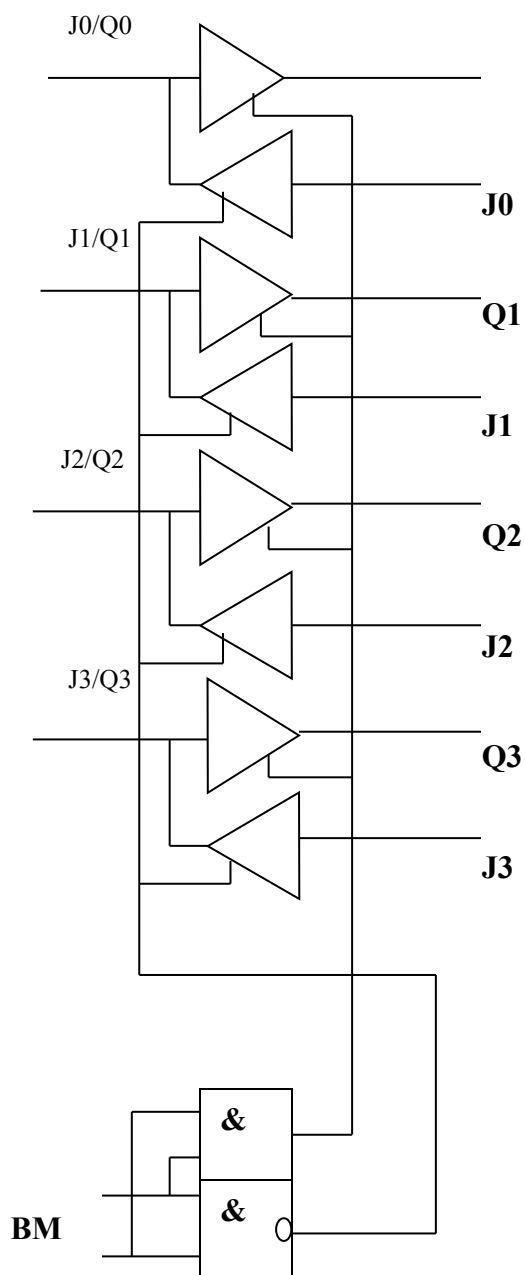
логич. «1» - 0,04мА

Для 555 серии: логич. «0» - 0,36мА

логич. «1» - 0,02мА.

Активными напряжениями управления является логич. «0» ВМ и ВН. При единичном значении какого-то напряжения ШФ переходит в

высокоимпедансное состояние. Двухнаправленный ШФ К589АП16 представляет собой сдвоенный четырехразрядный ШФ.



Эта схема состоит из набора усилителей и логических схем управления. Усилители работают в трех режимах:

- режим передачи вправо – верхняя группа;
- влево – нижняя группа;
- высокоимпедансное состояние – устройство полностью отключается от шины.

Достоинства: малый потребляемый ток 0,25мА и высокая нагрузочная способность.

Первая группа усилителей:

«0» - 50мА

«1» - 10мА

Вторая группа усилителей:

«0» - 15 мА

«1» - 1мА

Двухнаправленный шинный формирователь.

A0		B0
...		...
...		...
...		...
A7		...
OE		...
T		B7

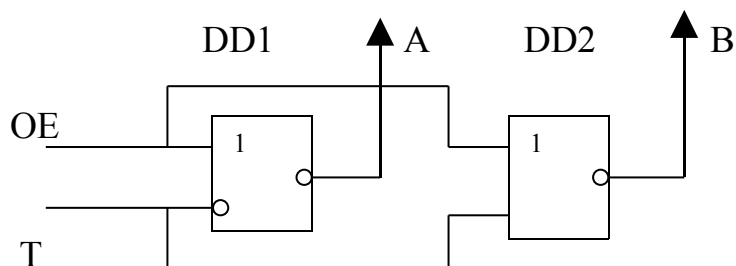
КР580ВА86/87

Он представляет собой ИМС согласованную по входным параметрам МП КР580 для включения в ШД. В зависимости от сигналов инверсного OE и T представляющих собой сигналы выбора МС ШФ имеет 4 состояния.

OE	T
0	0
0	1
1	0
1	1

- вход В подключен ко входу А, т.е. происходит режим чтения информации.
- вход А подключен ко входу В, т.е. происходит режим записи информации.
- выход А находится в высокоимпедансном состоянии.
- выход В находится в высокоимпедансном состоянии.

Для формирования управляющих сигналов используется схема:



Выход микросхемы DD1 подключен к группе усилителей А, а выход DD2 подключен к группе усилителей В.

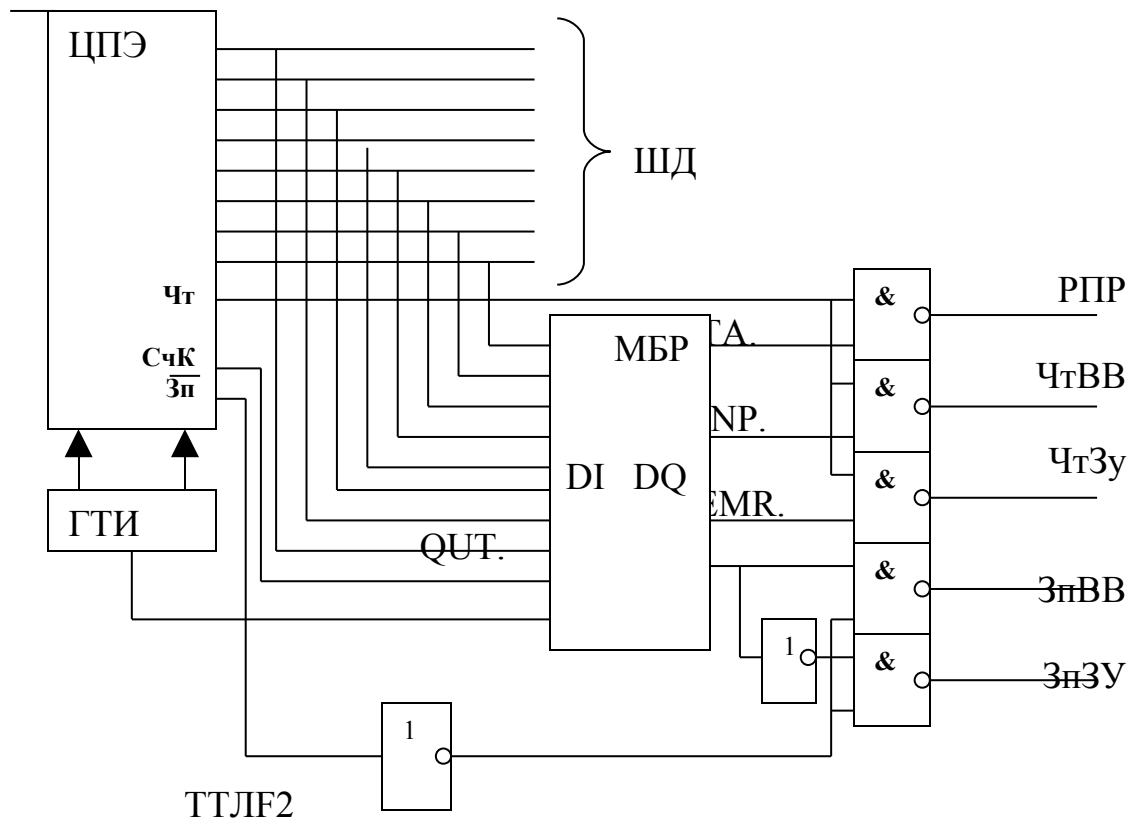
KP580BA87 представляет собой подобный ШФ, но с инверсными выходами. Существуют управляющие системы, где активным управлением является нулевое значение, а пассивным – единичное. В этом случае в качестве ШФ применяют ВА87. Это позволяет увеличить нагрузочную способность и тем самым повысить помехозащищенность канала передачи информации.

Формирование шины управления.

В отличие от формирования ША и ШД, ШУ формируется системным контроллером KP580BK28 на основе многорежимного буферного регистра. Это происходит следующим образом. В начале каждого машинного цикла, который в зависимости от типа операции состоит от одного до нескольких машинных тактов. По ШД от МП выставляется код управляющих сигналов, который хранится в регистре данных ЦПЭ один такт. Для сохранения данной информации в течение всего машинного цикла и используют многорежимный буферный регистр. Машинный цикл включает:

1. После завершения предыдущей команды в программном счетчике ЦПЭ устанавливается адрес следующей команды.
2. В память посылается сигнал чтения и из ячейки памяти извлекается машинное слово, состоящее в зависимости от типа команды из одного, двух, трех байтов. Это машинное слово записывается в буфер данных. Из буфера данных оно пересылается в РК и затем в дешифратор команд.
3. Команда дешифрируется и в зависимости от кодовой комбинации, АЛУ настраивается на выполнение данной команды.

4. Счетчик команд прибавляет единицу и извлекается следующая команда.



- D0 (INTA) – согласие на прерывание основной программы. Этот сигнал используется для ввода в ШД команды от того ВУ, которое запросило прерывание.
- D1 (NO) – инверсный сигнал показывающий в текущем машинном цикле будет производиться либо запись в ЗУ, либо выдача управляющих сигналов на ВУ. В противном случае чтение данных из ЗУ либо чтение информации от ВУ.
- D2 (STACK) – сигнал о том, что адресная шина содержит из указателя стека адрес данных в основной памяти.
- D3 (HLTA) – дается согласие на останов выполнения основной программы и ЦПЭ выполняет подпрограмму.
- D4 (QUT) – адресная шина задает адрес устройства вывода информации и по ШД в течение всего машинного цикла по указанному адресу ВУ будет передаваться информация записи.
- D5 (M1) – ЦПЭ находится в режиме выборки первого байта команды из памяти. Он используется при двух и трех байтных командах.
- D6 (JNP) – ША содержит адрес устройства ввода и входные данные на него должны быть поданы на ШД, когда ЦПЭ перейдет в режим чтения информации.
- D7 (MEMR) – в данном машинном цикле ШД будет использоваться для чтения информации из ЗУ.

В зависимости от словосочетания МП проходит через последовательность различных машинных циклов, в каждом из которых в первый такт эта информация подается на ШД.

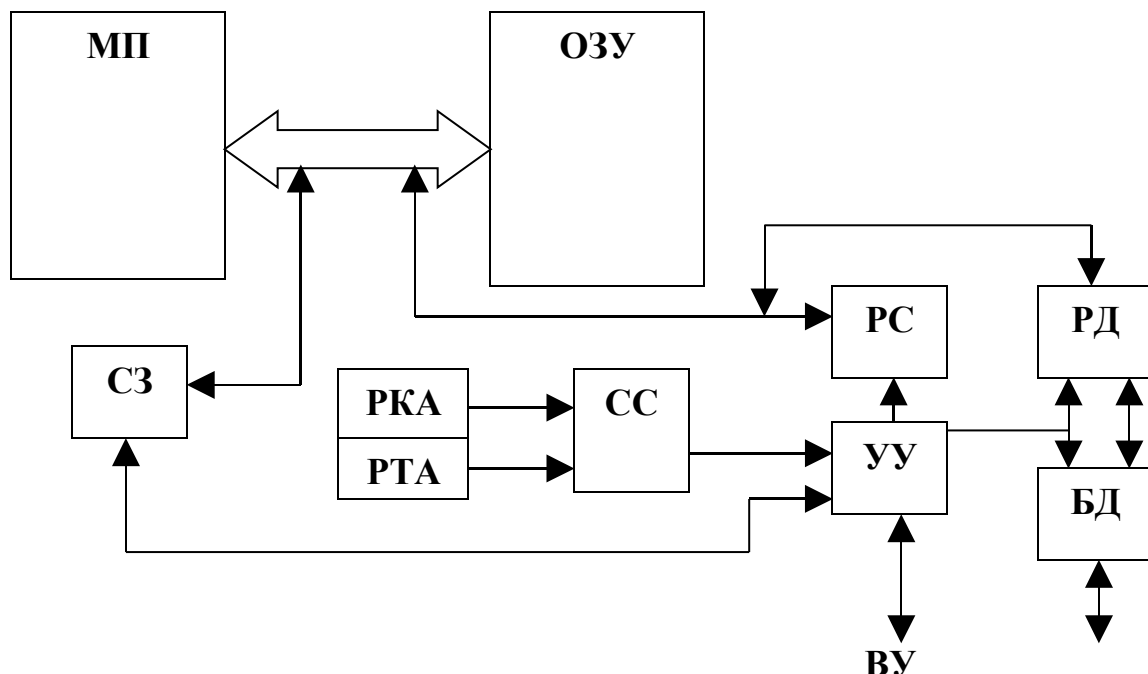
Тип операции	D0	D1	D2	D3	D4	D5	D6	D7
Извлечение команды из ЗУ	0	1	0	0	0	1	0	1
Чтение информации из памяти	0	1	0	0	0	0	0	1
Запись информации в память	0	0	0	0	0	0	0	0
Чтение информации из стека	0	1	1	0	0	0	0	1
Запись информации в стек	0	0	1	0	0	0	0	0
Режим ввода информации	0	1	0	0	0	0	1	0
Режим вывода информации	0	0	0	0	1	0	0	0
Разрешение прерывания	1	1	0	0	0	1	0	0
Разрешение останова	0	1	0	1	0	0	0	1
Подтвержд-е прерыв-я во вр.останова.	1	1	0	1	0	1	0	0

Канал прямого доступа к памяти.

Используется для обмена информацией между ВУ по отношению к МПС и областью ОЗУ, адресное пространство которого определяется оператором.

Существует 2 способа захвата МПС:

1. Монопольный, когда вся область ОЗУ, отведенная для ПДП заполняется информацией от ВУ. В этом случае МПС практически не работает. достоинством метода является высокая скорость обмена информацией, недостатком – низкая эффективность МПС.
2. Мультиплексный, когда от ВУ передается слово информации и МП далее выполняет очередное действие. В этом случае возможно 3 варианта запуска обмена информацией: синхронный, асинхронный и запуск по прерыванию.



- СЗ – схема захвата;
- РКА – регистр конечного адреса;
- РТА – регистр текущего адреса;
- СС – схема сравнения;
- РС – регистр состояния;
- РД – регистр данных;
- УУ – устройство управления;
- БД – буфер данных;
- ВУ – внешнее устройство.

По запросу на прерывание от ВУ МП прекращает выполнение основной программы и по команде ШФ переходит в высокоимпедансное состояние. Таким образом происходит отключение МП от магистрали. Область ОЗУ, отведенная оператором для ПДП задается начальным и

конечным адресами, записываемые соответственно в РТА и РКА. При заполнении всей области информации значения регистров равны и СС выдает на устройство управления сигнал об окончании обмена информацией. ВУ, прежде чем выдать сигнал запрос на прерывание, записывает необходимую информацию в БД, который в соответствии с типом обмена организованной оператором передается в БД. Обмен информацией определяется регистром состояния.

Адресное пространство.

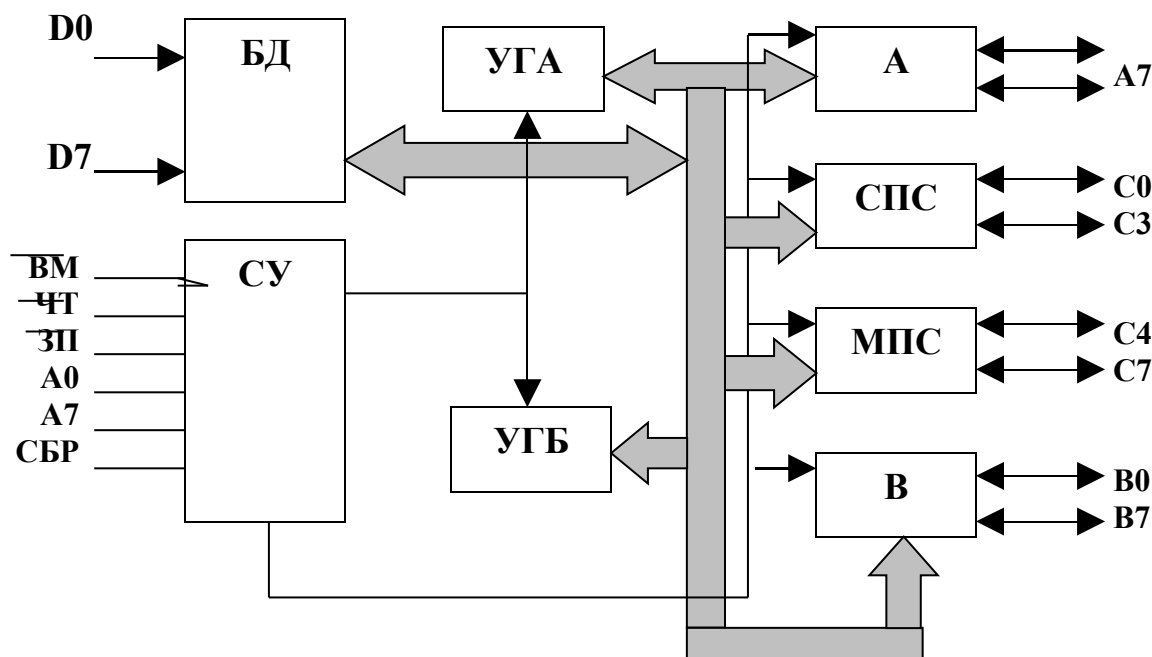
Адресное пространство МПС определяется разрядностью ША. Для 16-разрядной ША адресное пространство составляет 64кбита ($2^{16} = 64\text{кбита}$)

Выбор микросхемы: при дешифрации многоразрядных кодов, поступающих с ША, происходит усложнение схемотехнических решений. Для их упрощения существуют дешифраторы сигналов выбора МС, причем с этой целью используются старшие разряды ША. Это позволяет производить крупную классификацию всех ВУ и увеличивает скорость обращения к ним.

Программируемый параллельный интерфейс (КР580ВВ55А).

Предназначен для связи ЦПЭ с ВУ в параллельном коде (двоичном). По сложности не уступает ЦПЭ и выполняет следующие функции:

1. Расшифровывает адрес, полученный из ЦПЭ и выделяет то ВУ, код которого совпадает с указанным адресом.
2. Декодирует код команды и организует ее выполнение.
3. Дает ЦПЭ информацию о готовности ВУ к обмену.



	ВМ	ЧГ	ЗГ	A1	A0
А	0	0	1	0	0
Б	0	0	1	0	1
В	0	0	1	1	0
Г	0	1	0	0	0
Д	0	1	0	0	1
Е	0	1	0	1	0
Ж	0	1	0	1	1
З	1	-	-	-	-

- БД – буфер данных;
- СУ – схема управления;
- УГА – регистр управления группы А
- УГВ – регистр управления группы В
- А – приемопередатчик группы А
- СПС – приемопередатчик старшего подкласса группы С
- МПС – приемопередатчик младшего подкласса группы С
- В – приемопередатчик группы В

- А) чтение из А в БД;
 Б) чтение из В в БД;
 В) чтение из С в БД;
 Г) запись из БД в А;
 Д) запись из БД в В;
 Е) запись из БД в С;
 Ж) запись из БД в регистры управления;
 З) высокоимпедансное состояние, т.е. отключение по ШД.

Параллельный интерфейс может работать в 3-х режимах. Эти режимы задаются управляющим словом которое записывается в начале обмена информацией в 7 разрядные регистры управления.

Режим 0 : в этом режиме происходит асинхронный ввод/вывод информации по 3 каналам А,В,С и используется для подключения 3-х внешних устройств.

Режим 1 : стробируемый ввод/вывод информации по каналам А и В. Канал С используется для передачи управляющих сигналов на внешние устройства. В этом случае могут быть подключены два внешних устройства.

Режим 2 : двунаправленный обмен информацией в котором один из каналов А или В работает либо на ввод, либо на вывод. Канал С используется для передачи управляющих сигналов.

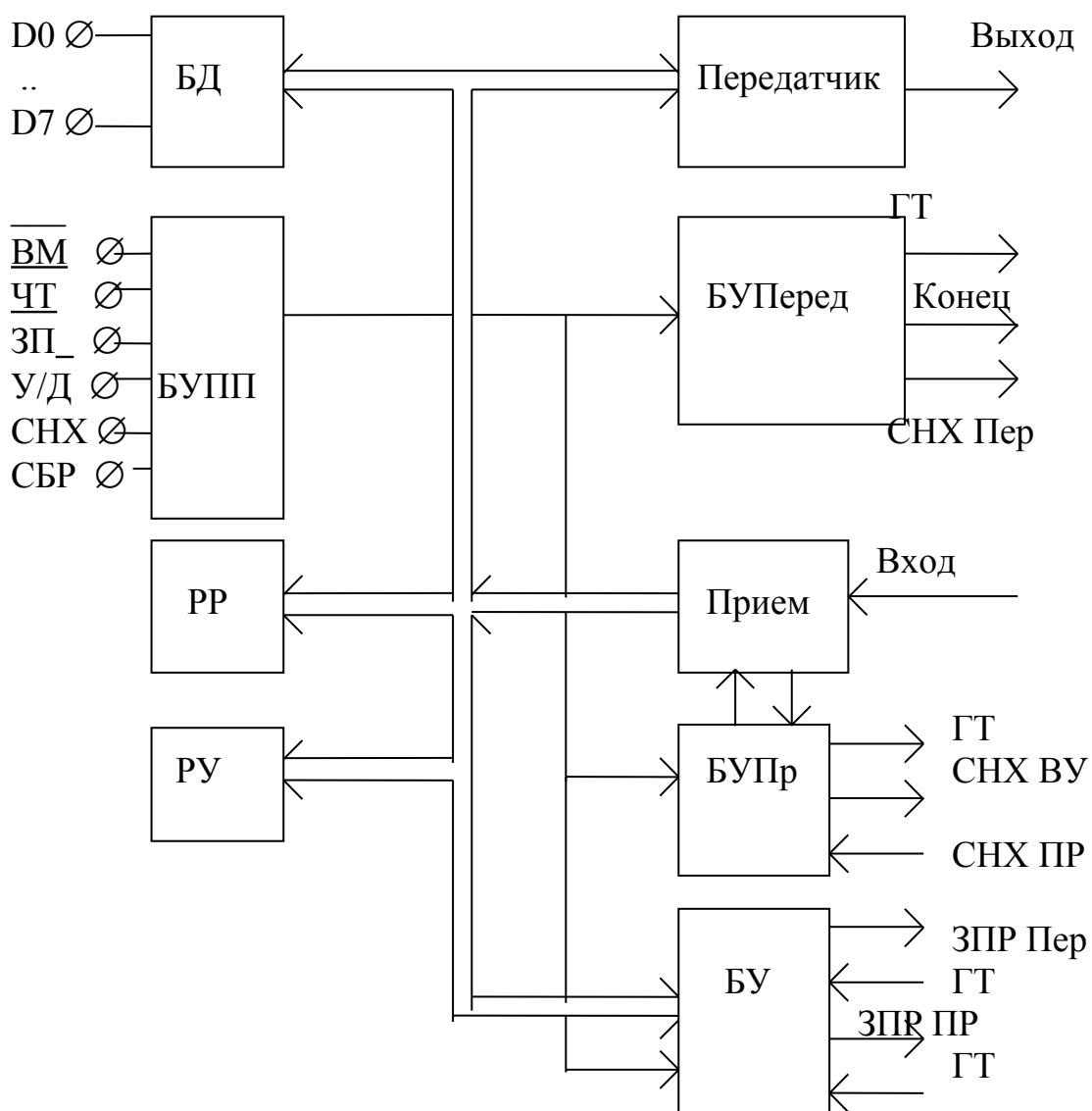
Выбор режима управления определяется программным путем и может быть изменен в процессе обмена информацией за счет записи нового управляющего слова в регистры управления, при соответствующем коде на адресной шине интерфейса. Для двунаправленного обмена информацией все буфера ВУ имеют двунаправленные регистры, способные переключаться в высокоимпедансное состояние.

D0		A0
..		..
D7		A7
A0		B0
A1		..
BM		B7
CT		
3П		C0
СБР		..
		C7

КР 580 ВВ 55
(40 ВЫВОДОВ)

—

Программируемый последовательный интерфейс КР 580 ВВ51

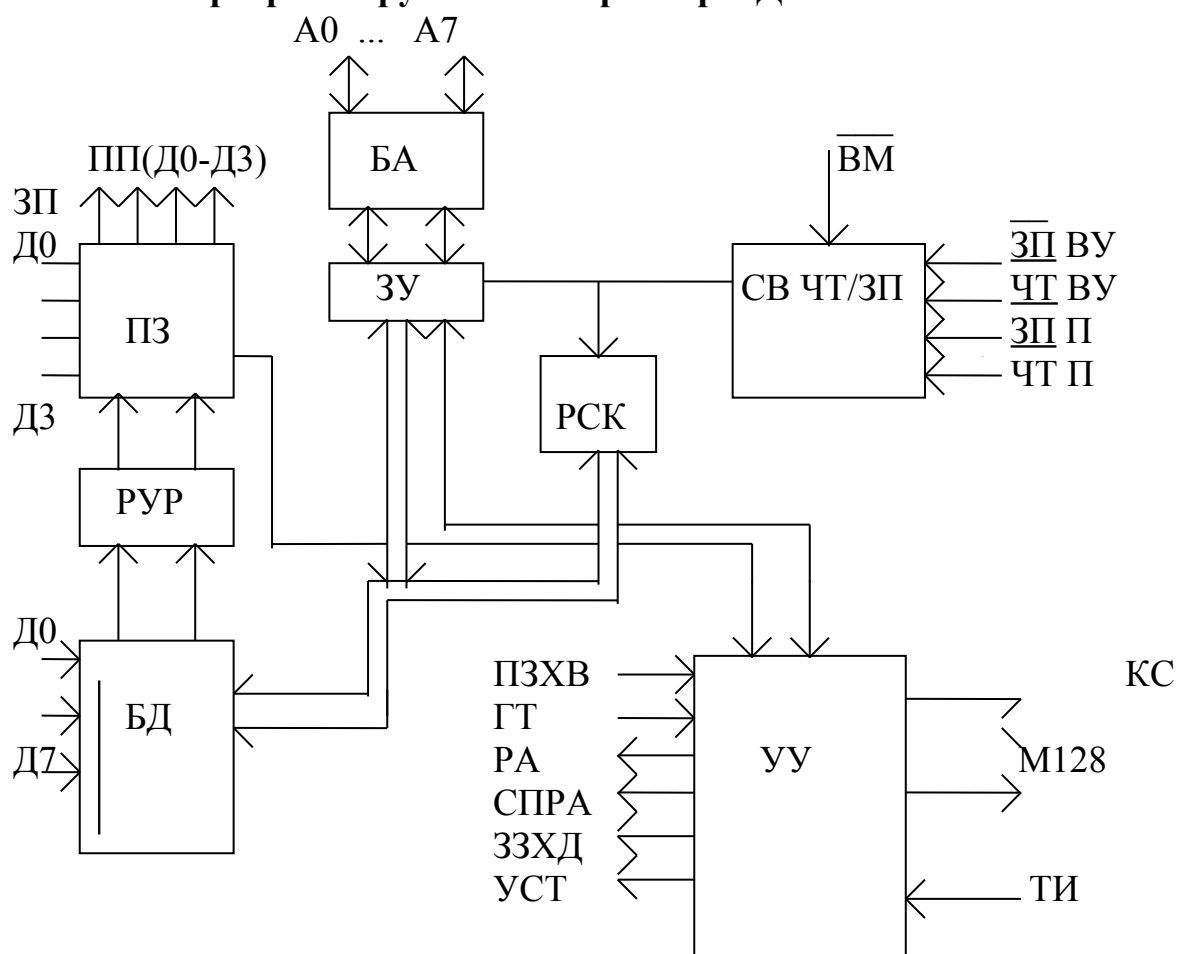


ЗПР Пер/Пр - запрос на передачу/прием
У/Д - управление/данные
БД - буфер данных
БУПП - Блок управления приемом-передачей
РР - регистр режима
РУ - регистр управления
БУП - блок управления передатчиком
БУПр - блок управления приемником
БУ - блок управления ВУ
ГТ - готовность

Программируемый последовательный интерфейс предназначен для обмена информацией с внешним устройством в последовательном коде. Это приводит к удешевлению линии связи до 2-х проводников (« + ») и снижению скорости (« - ») передачи информации. Поэтому такой способ применяют для медленно изменяющихся процессов. В начале обмена информацией через ШД в буфер данных записывается управляющее слово, определяющее характер обмена информацией (синхронной, асинхронной и т.д.). Происходит запись управляющего слова из БД в РУ, при наличии единичного сигнала на входе У/Д. Интерфейс будет работать тогда, когда на вход ВМ подан нулевой уровень сигнала. В начале обмена происходит обнуление внутренних регистров подачей сигнала «сброс». Синхронизация от ЦПЭ подается на вход СНХ. Она необходима для образования синхронного обмена информацией с внешними устройствами. При нулевом уровне на входе ЧТ происходит прием информации от внешнего устройства. Для этого блок управления выдает сигнал на ВУ о готовности информации на выходных регистрах внешнего устройства. При её наличии ВУ выдает сигнал готовности. Информация в последовательном коде от ВУ передается на приемник. Для повышения помехозащищенности канала передачи информации существуют специально разработанные коды. Каждый байт информации обрамлен старт-стоповыми сигналами и сигналом четности. В приемнике последовательный код преобразуется в параллельный на внутренних регистрах и по внутренней шине передается в буфер данных. С буфера данных информация передается на ЦПЭ. В режиме записи блок управления запрашивает ВУ о готовности. При подтверждении готовности с выходных регистров передатчика информация в последовательном коде передается на ВУ, где побайтно дешифрируется и преобразуется в необходимый вид для управления ВУ.

В синхронном режиме обмена информацией используется канал синхронизации.

Программируемый контроллер ПДП КР 580 ВТ 57



Данная микросхема содержит 4 канала, обеспечивающих адресацию памяти массивами до 16 Кб, путем формирования последовательности с возможностью задания любого из 64 начальных адресов. Микросхема состоит из запоминающего устройства, содержащего 4 пары 16 разрядных регистров.

Блок приема запросов предназначен для осуществления приема запросов от внешних устройств и осуществления арбитража с выработкой разрешающего сигнала ПДП.

Восьмиразрядный регистр состояния каналов, формирует условия конца счета конкретных каналов, а также код обновления данных в запоминающем устройстве.

Буфер адреса - хранит и выдает код адреса ячейки запоминающего устройства.

Восьмиразрядный буфер данных хранит и выдает данные для передачи в запоминающее устройство от внешнего устройства.

Схема выработки сигналов чтения и записи формирует управляющие сигналы для обмена информацией между памятью и внешним устройством.

Система управления осуществляет управление всеми блоками входящих в микросхему. В процессе работы микросхема может принимать следующие состояния:

1. исходное
2. программирования
3. ожидание для подтверждения прямого доступа к памяти
4. обслуживание прямого доступа к памяти

Исходное состояние обеспечивается сигналом установки выбранного канала при получении запроса соответствующего внешнего устройства.

В режиме программирования по шине данных микропроцессор записывает в память начальный адрес ячейки памяти области, отведенной для прямого доступа к памяти.

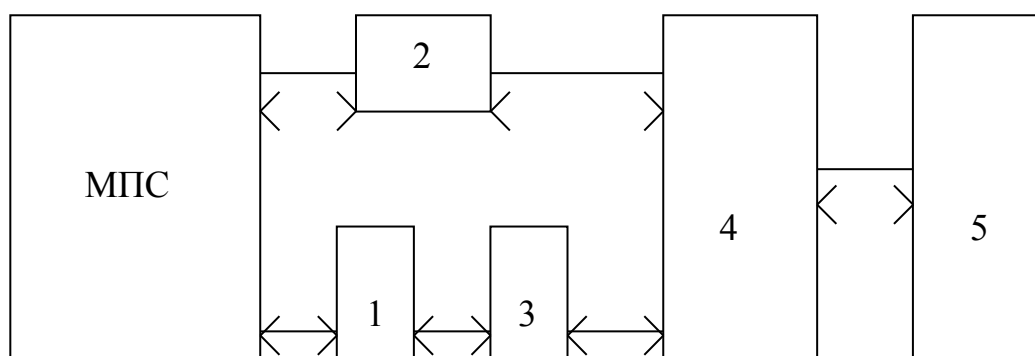
В режиме обслуживания микропроцессор отключается от шины данных и происходит обмен информацией между внешним устройством и запоминающим устройством.

Запоминающее устройство

Запоминающим устройством(ЗУ) называют совокупность технических средств, обеспечивающих режим записи, хранения и выдачи информации. Важнейшими характеристиками является быстродействие и ёмкость. Ёмкость измеряется в битах, быстродействие в битах в секунду. ЗУ делятся на ПЗУ и ОЗУ.

ПЗУ - постоянное запоминающее устройство. Они строятся на магнитных лентах, дисках и на интегральных схемах. Программирование запоминающего устройства на интегральных микросхемах происходит за счет пережигания перемычек (диодные матрицы) или же за счет облучения ультрафиолетом.

ОЗУ - оперативное запоминающее устройство. Выполняется на интегральных микросхемах.



- 1 - сверх ОЗУ
2 - ПЗУ
3 - ОЗУ

4 - буферное ЗУ

5 - внешнее ЗУ

Для обеспечения обмена информацией в реальном масштабе времени между внешним ЗУ и микропроцессором ОЗУ имеет сверх оперативное запоминающее устройство.

Буферное ЗУ служит для согласования по быстродействию внешнего ЗУ и микропроцессорной системы.

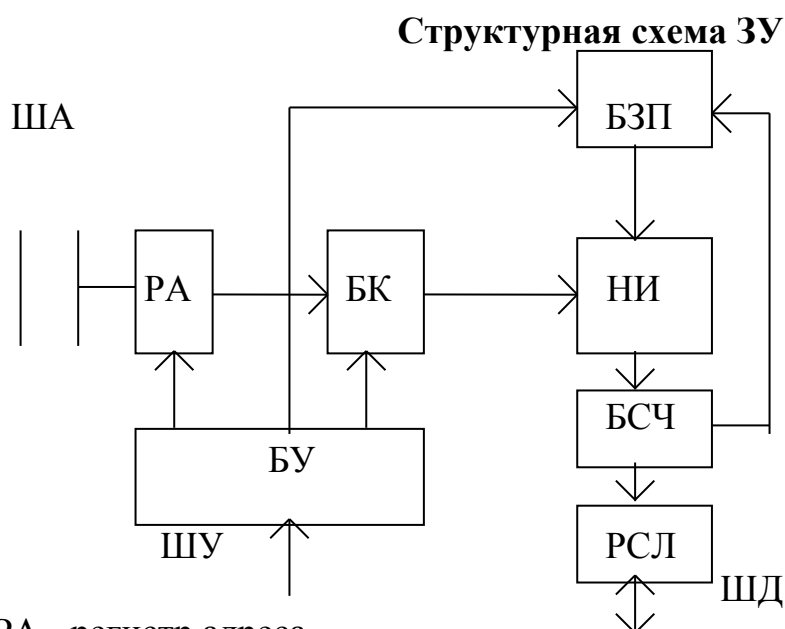
Емкость сверх ОЗУ не превышает десятков тысяч слов (длина слова определяется разрядностью МПС), а быстродействие 10^{-18} с.

ОЗУ предназначена для хранения данных и программ текущих вычислений, а также программ к которым необходимо быстро перейти, если входе возникло прерывание. Ёмкость ОЗУ превышает 100 Кб, а быстродействие составляет 10^{-7} с.

ПЗУ предназначена для хранения и считывания информации, которая не меняется в ходе вычисления. ПЗУ может программироваться в процессе изготовления. Существует перепрограммируемые постоянные запоминающие устройства (ППЗУ).

Буферные ЗУ предназначены для промежуточного хранения при обмене информацией устройств с различным быстродействием. Выполняют на магнитных дисках, на ферритах и в виде интегральных микросхем.

ВЗУ служит для хранения больших массивов информации. Выполняются на магнитных лентах и дисках.



РА - регистр адреса

БК - блок коммутации

БУ блок управления

БЗП - блок записи

НИ - накопитель информации

БСЧ - блок считывания информации

РСЛ - регистр слова

Микропроцессор выставляет на шине адреса код адреса соответствующей ячейки в накопителе информации. В соответствии с управляющим сигналом, поступившим по шине управления, блок коммутации коммутирует ячейку накопителя информации, либо на блок записи, либо на блок считывание. При записи на шине данных выставляется слово необходимое для записи в накопителе информации в параллельном коде. Если микропроцессор задал режим считывания слово в параллельном коде из соответствующей области ЗУ выдается на регистр слова и далее на шину данных в параллельном коде. Накопитель информации служит для записи и хранения слов и состоит из ячеек памяти, которые в свою очередь состоят из запоминающих устройств, разрядность которых определяется разрядностью МП.

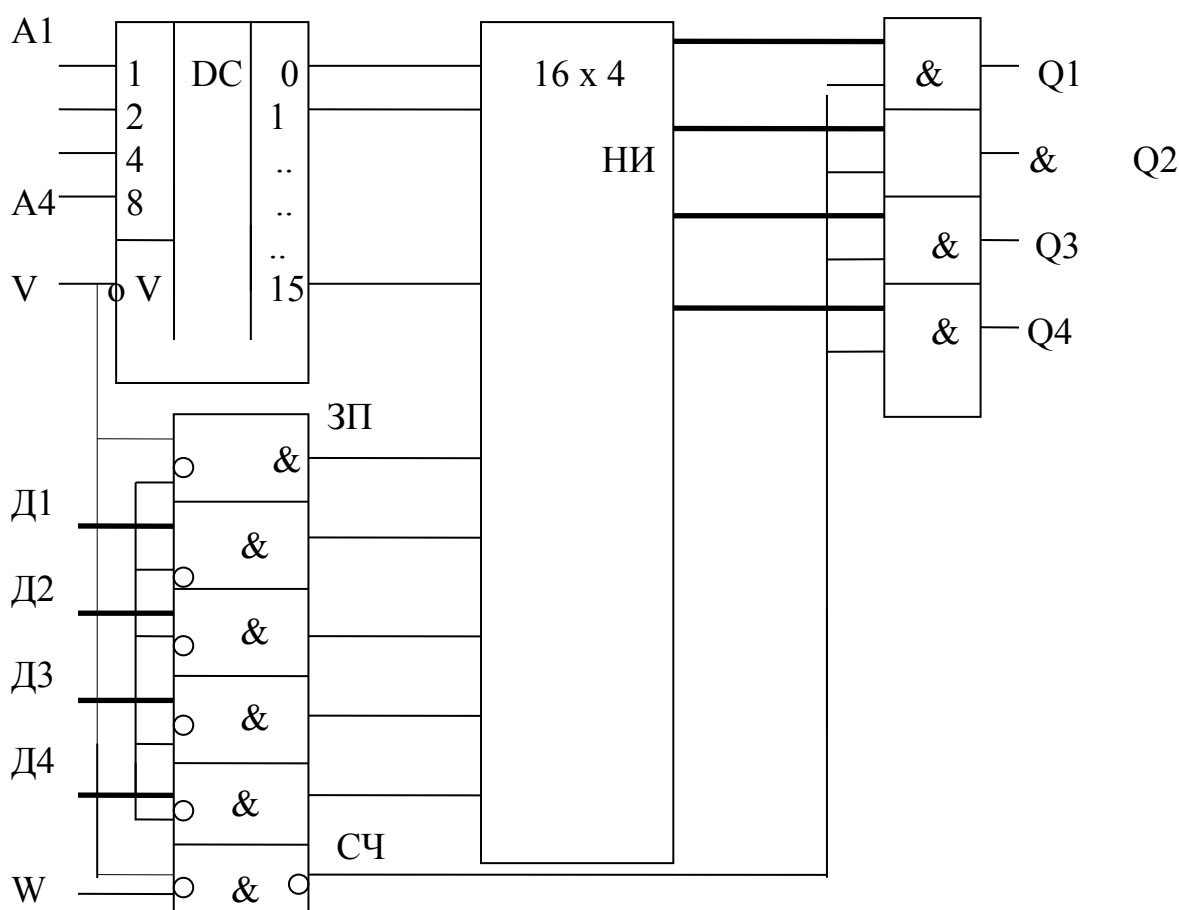
Регистр адреса декодирует код адреса и подает управляющие сигналы на блок коммутации.

Блок записи преобразует машинное слово поступившее по шине данных и воздействует на накопитель информации при записи.

Блок управления управляет в определенной последовательности по шине управления всеми блоками ЗУ.

Регистр слова записывает и хранит слово поступившее либо по шине данных, либо из накопителя информации.

ОЗУ на 64 бита (K155 РУ2)



Данный накопитель информации представлен в виде 16 ячеек по 4 разряда. Дешифратор адреса дешифрирует код адреса поступившего по младшему разряду шины адреса и подключает соответствующую ячейку к источнику питания. В зависимости от управляющих сигналов V,W происходит либо процесс записи, либо считывания информации. Если идет запись по шине данных выставляется 4-х разрядное слово и соответственно через элементы «И-НЕ» поступают на ту ячейку, которая активизирована дешифратором адреса. Данные запишутся в параллельном коде. При считывании информации выход активизированной ячейки подключается через элементы «И» к шине данных и происходит процесс считывания.

A1	16 x 4	Q1
A2		
A3		
A4		
Д1		Q2
Д2		
Д3		
Д4		
V		
W		

При V=0 одна из цепочек соответствующая, выставленному адресу переходит в рабочее состояние и ее сигналы передаются через соответствующие элементы И на выход.

При V=1 на всех выходах дешифратора адреса низкие уровни и следовательно все триггеры отключены от шин накопителя.

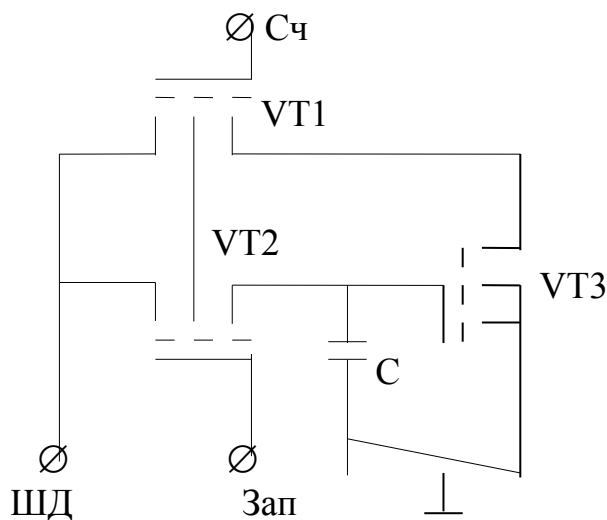
При V=0,W=0 на выбранную цепочку поступают информационные сигналы Д1,...,Д4 и соответствующий элемент «И» вырабатывает сигнал записи информации. В этом режиме при смене информации на входе ОЗУ происходит перезапись информации в данном слове массива.

При V=1,W=0 входная информация проходит непосредственно на выход МС, минуя массив триггеров накопителя.

При V=1,W=1 запрещена работа дешифратора, узла «И» вырабатывающего сигнал «запись» и всех других входных элементов.

Таким образом, блок управления обеспечивает работу ОЗУ в 4-х режимах: считывание, запись, хранения и сквозной перенос информации.

Динамическое ОЗУ

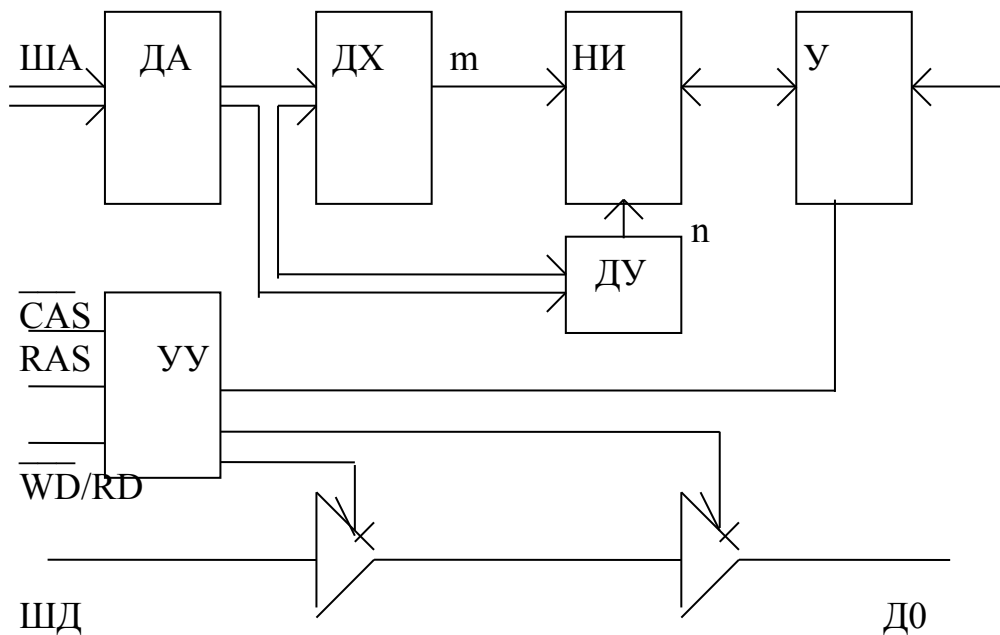


При считывании информация передается инвертированной.

Для увеличения быстродействия и объема запоминаемой информации применяют динамическое ОЗУ. В качестве управляющих ключей используют n-МОП- транзисторы с индуцированным n- каналом. В качестве элемента хранящего информацию используют конденсатор. Так как конденсатор имеет конечную диэлектрическую проницаемость изолятора, поэтому с течением времени происходит его разряд и потеря записанной информации. Поэтому в динамических ОЗУ используют рекомбинацию записанной информации, т.е. с течением времени происходит перезапись или же воспроизведение.

В зависимости от потенциала на ШД при записи VT2 открывается, а C либо заряжается, либо не заряжается. При записи на C «1» на затворе VT3 положительный потенциал, открывающий транзистор VT3, но нулевое значение от стока VT3 не передается по шине данных так как закрыт VT1. При считывании информации VT1 открыт, VT2 закрыт. В зависимости от хранимого значения в C VT3 либо закрыт (при «0»), либо открыт (при «1»). В этом случае при открытом VT3 на шине данных передается нулевое значение. При закрытом VT3 корпус отключен от шины данных и на шине данных устанавливается единичное значение. Таким образом, информация с ОЗУ считывается в обратном коде.

Структурная схема подключения динамического ОЗУ



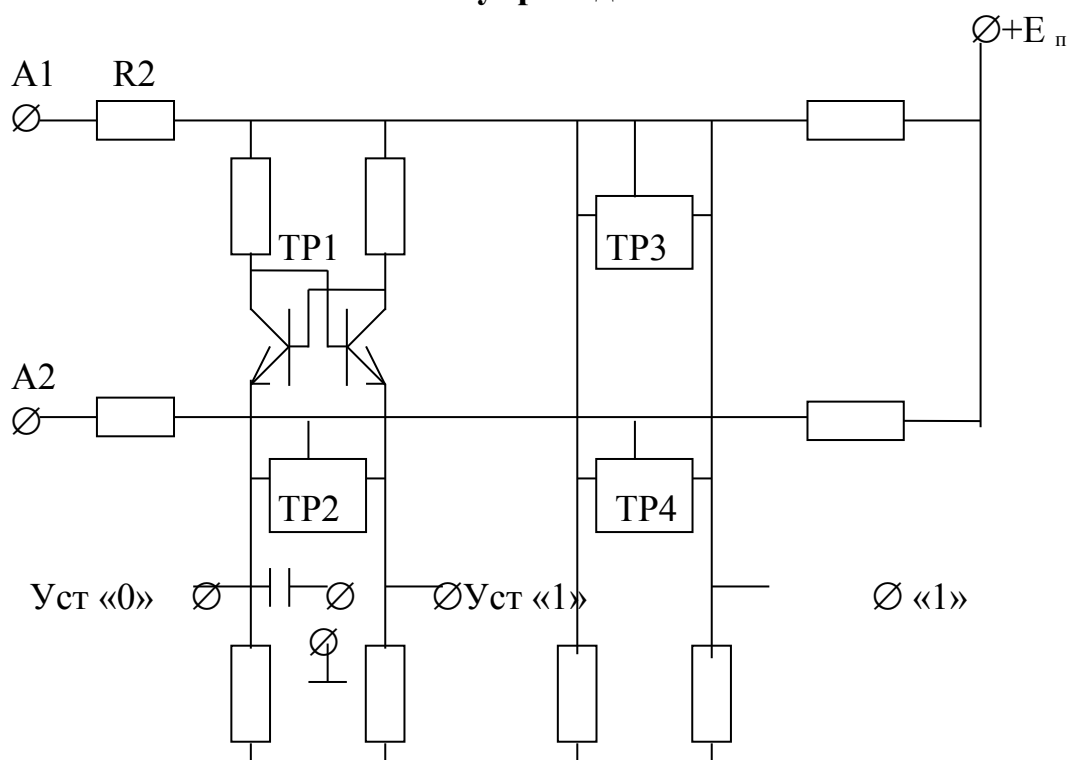
\overline{CAS}	\overline{RAS}	$\overline{WR/RD}$	
0	0	0	запись
0	0	1	считывание
0	1	0	высокоэмпиансное
0	1	1	состояние
1	0	0	регенерация
1	0	1	
1	1	0	высокоэмпиансное
1	1	1	состояние

В зависимости от управляющих сигналов (см. таблицу) поступивших от микропроцессора на устройство управления допустим происходит запись. В этом случае устройство управления передает сигнал на дешифратор адреса, на который выставлено значение в первый такт адреса строки, во второй адрес столбца. Эта информация поочередно передается на дешифратор X и дешифратор Y, где в регистрах хранится в течении всего времени записи. По шине данных через усилитель передается требуемая для записи информация в накопитель информации.

При считывании происходит также дешифрация адреса и с выбранной ячейки накопителя информации через усилитель записанная информация передается на ШД.

Для регенерации используются полупроводниковые ОЗУ, куда записывается параллельно необходимая информация. Может быть применен способ и восстановления информации с регистров микропроцессора. При соответствующих управляющих сигналах происходит перезапись информации в динамическую ячейку накопителя.

Полупроводниковое ЗУ



При подаче на соответствующую строку положительного сигнала от источника питания ток не протекает, например, через R_2 и потенциал коллекторов транзисторов этой строки находится в активизированном состоянии. В этом случае мы можем записать в триггера этой строки либо «0», либо «1» в зависимости от приложенного напряжения к эмиттерам транзисторов. Допустим левый транзистор открыт, правый закрыт. Через левый транзистор протекает ток и создает падение напряжения на R_1 . Токи других транзисторов триггеров этого столбца незначительны и на выходе появляется «1».

При записи «0» на вход «Уст 0» подаем «1». В этом случае потенциал коллектора и эмиттера левого транзистора равны и транзистор закроется, так как существует положительная ОС правый транзистор откроется и на выходе запишется нулевое значение напряжения.